

1. Kdy a kým byl vynalezen integrovaný obvod?

1958 – Jack Kilby (Texas Instruments).

2. Jaké jsou dnešní nejmodernější technologie integrovaných obvodů? Napište hlavní vlastnosti a charakteristiky.

Vysoká integrace, šířka hradla 45nm - 410 milionů tranzistorů na ploše 107 mm² (brzy 32nm), technologie MOSFET.

3. Co jsou Moorovy zákony. Co popisují?

„Hustota integrovaného obvodu nebo kapacita paměti se zdvojnásobuje každých 18 měsíců, neboli zečtyřnásobuje každé tři roky.“ Rockův zákon (někdy označován jako druhý Moorův zákon): „Investice do nových zařízení na výrobu čipů se zdvojnásobuje každé čtyři roky.“

Artur Rock Manchorův zákon: „Počítač, který právě potřebuješ, vždycky stojí 5000 dolarů.“ Fill Manchore.

4. Jakým způsobem se vyvíjeli polovodičové technologie?

1906 - polovodiče používány k detekci radio signálů (Pickard, ATT), 1912 - objev usměrňovacích vlastností polovodičů (Pickard, ATT), 1925 - FET J. Lilienfeld patentoval princip (technologicky nerealizován), 1943 - germaniové krystaly k demodulaci radarů, 1947 - Tranzistor (Objev) Bardeen, Brattain a Schockley, 1952 - realizace prvního FET(Field Effect Transistor).

5. Napište čtyři hlavní skupiny obvodů ASIC (Aplikačně Specifické Integrované Obvody)

Plně zákaznické obvody - monolitické IO, většinou analogové obvody. **Hradlová pole** - monolitické IO složené z řad nebo sloupců tranzistorů, programují se pomocí masek propojení. **Standardní buňky** - monolitické IO navržené pomocí knihovných buněk. **Programovatelné obvody** - monolitické IO tvořené logickými buňkami a bloky, které jsou zákaznický programovány pomocí propojek.

6. Co jsou plně zákaznické obvody, charakterizujte, jak se navrhují?

Výborná flexibilita, limitováno pouze návrhovými pravidly. Ruční návrh (některé digitální bloky mohou být automatizovány) – návrhář nepoužívá předdefinované bloky z důvodu malé rychlosti, velké spotřeby atd. Analogový i digitální návrh dohromady. Vlastnosti - dlouhý čas návrhu a technologické realizace. Velice efektivní využití plochy čipu. Levné pouze ve velkých sériích. Příklady Analogové obvody, paměti, převodníky, dekodéry...

7. Co jsou Hradlová pole, charakterizujte, jak se navrhují?

Prefabrikované čipy - definované I/O obvody. Jednotné pole tranzistorů propojovacích kanálů a propojek, tzv. primitivní buňky. Funkční zapojení je realizováno pomocí jedné nebo více vrstev metalizace. Vlastnosti - rychlá výroba, levné ve středních sériích, nevhodné pro realizaci RAM, PLA, ALU. Realizace hradlových polí.

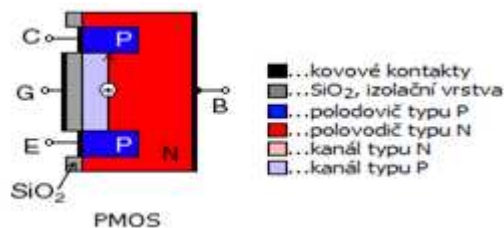
8. Co jsou Standardní buňky, charakterizujte, jak se navrhují?

Celý výrobní proces - předdefinované knihovny základních buněk (NAND, NOR, OpAmp, Převodníky...). Návrhář definuje umístění a vzájemné propojení. Mohou být digitální i analogové. Vlastnosti - velikost čipu limituje funkčnost, dlouhý výrobní čas, levné ve velkých sériích, definována výška buňky - snadné skládání, lepší funkčnost při nižší ploše v porovnání s hradlovými poli (1:4).

9. Co jsou programovatelné obvody, charakterizujte, jak se navrhují?

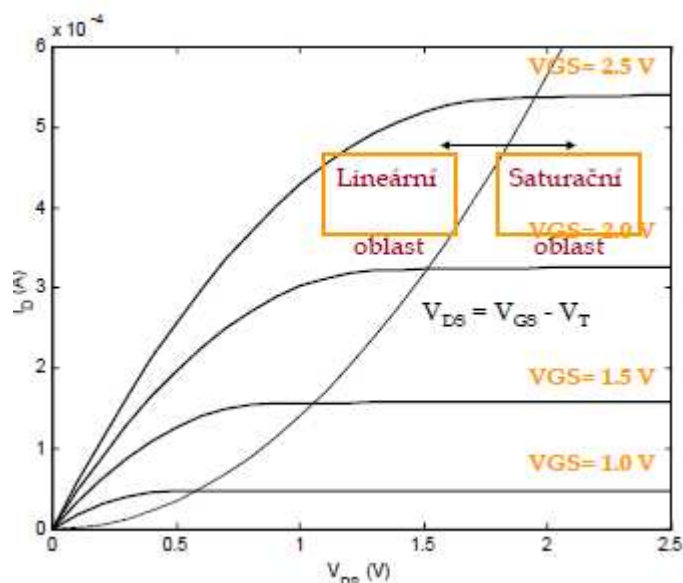
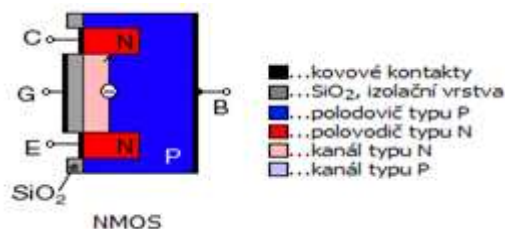
Základem je univerzální logická struktura (matice AND propojená s maticí OR). Logická funkce je vytvořena pomocí programovatelných propojek, jejichž přerušením se odpojí logické signály. Velice rychlý návrh a realizace (PROM – Programmable Read Only Memory, PAL – Programmable Array Logic, PLA – Programmable Logic Array, FPGA – Field programmable Gate Array. FPGA - pro naprogramování není nutná technologická realizace. Předdefinované logické bloky. Vlastnosti: velikost až 8 000 000 logických hradel (např. Virtex - Xilinx), až 4 PowerPC RISC procesory na čipu, velké čipy (>100 mil. tranzistorů), krátký návrhový a realizační čas, levné pro malé série. V porovnání s ASIC mají FPGA menší frekvence hodin.

10. Nakreslete řez tranzistorem PMOS s jámou N i s kontaktem na jámu, nakreslete výstupní charakteristiky, vyznačte lineární a saturační oblast.



Výstupní charakteristika stejná jako NMOS

11. Nakreslete řez tranzistorem NMOS s jámou P i s kontaktem na jámu, nakreslete výstupní charakteristiky, vyznačte lineární a saturační oblast.



12. Co je prahové napětí, jak ho můžeme ovládat (technologicky).

Je takové napětí, při kterém se objevuje inverzní vrstva – vzniká kanál. Pro tranzistory s indukčním kanálem N je prahové napětí +. Pro tranzistory s vestavěným kanálem je -. V obou případech se otvírá růstem řídicího napětí ke kladným hodnotám. U tranzistoru typu P je to naopak.

13. Jaký je rozdíl mezi amorfním a monokrystalickým křemíkem? Jaké defekty v monokrystalu znáte?

Amorfní – atomy Si-4 vazné, ale ne vždy se tak slučují, mají nepravidelnou strukturu (používá se k napařování tenkého filmu na fotovoltanické články)

Monokrystal – křemík z taveniny, pravidelná struktura

Intersticiální poloha - atom je umístěn mimo mřížku (je navíc)

Vakance - neobsazené mřížkové body – Atom chybí v mřížce

Frenkelova porucha – Vakance + Intersticiální poloha

14. Co jsou tzv. čisté prostory, k čemu slouží?

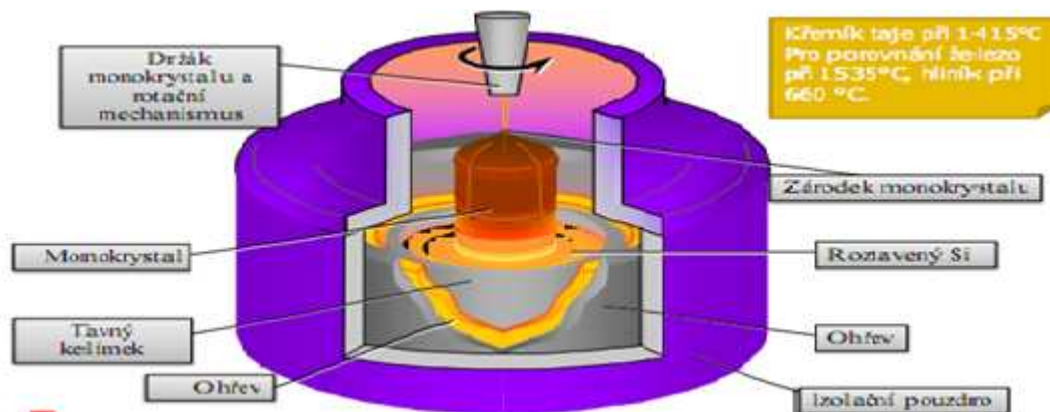
Jedná se o výrobní prostory, při výrobě IO. Je tam mírný přetlak, vzduch filtrován, speciální obleky pro personál, počet prach částic 1-100.

15. Popište základní kroky přípravy křemíkových substrátů.

1) Růst monokrystalu, 2) Ignot monokrystalu (válec vytvořený tavením), 3) Odříznutí konců monokrystalu, 4) Výbrus fazet, 5) Řezání destiček, 6) Broušení hran, 7) Broušení/leštění, 8) Leptání, 9) Leštění, 10) Kontrola.

16. Jak se vyrábějí křemíkové monokrystal?

Czochralského metoda



Zonální tavnba

17. Jaké druhy litografie znáte? Čím se liší?

Fotolitografie do 0,1μm, rentgenová litografie od 0,3μm, elektronová litografie 10-100nm - liší se šířkou nejtenčí čáry na čipu.

18. Jaký druh litografie používáme pro výrobu IO? Proč? Kde jsou její hranice použití?

Fotolitografie, momentálně nelevnější řešení s relativně vysokou výtěžností (60 až 150 waferů za hodinu), vlnová délka 193nm stačí maximálně na výrobní proces 45nm, vylepšením na imerzní (ponořené) fotolitografii lze vytvářet čipy na technologii 32nm. Poté přijde EUV litografie (problém výtěžnost 10 waferů za hodinu).

19. K čemu slouží fotolitografie v technologickém procesu IO?

K přenosu topologie čipu na křemíkový wafer.

20. K čemu slouží leptání, jaké druhy znáte, co je selektivita a co anizotropie.

Odleptá SiO v oknech fotorezistu, ten se pak smyje v roztoku H_2SO_4 a H_2O_2 .

Selektivita – určuje, jak efektivně je odstraňován leptaný materiál, bez toho aby leptal jiný materiál

Anizotropie – rychlost leptání v různých směrech

21. Co je plazmatické leptání?

Suché leptání, leptání radikály fluoru, ionty jsou urychlovány napětím mezi plazmou a elektrodou, při dopadu odevzdají energii povrchovým atomům a erodují s nimi, leptání je vysokoselektivní a izotropní.

22. Co je termická oxidace, jak se provádí?

Proces, při kterém se vytvoří na monokrystalu vrstva SiO_2 .

Provádí se v Oxidační (difúzní peci) teplota 400-1200°C, wafer se ofukuje horkým O_2 .

23. K čemu slouží termická oxidace ve výrobním procesu IO?

K vytvoření izolační vrstvičky SiO_2 .

24. Co je difúze, jak se provádí?

Je proces, při němž pronikají atomy dopantu pod povrch křemíkové desky ve vybraných oblastech. Teplotou, časem a chemickým složením lze nastavit hloubku nadifundované vrstvy a koncentraci dopantu při povrchu, nebo-li „prosakování“ atomů z vnějšku do struktury Si.

Z kapalného zdroje – N_2 probublává skrz POCl_3 a spolu s O_2 se fouká na wafery.

Vakuová difuze – wafery v peci s miskou dopantu, za vysoké teploty se dopant odpaří a usadí na waferech.

25. Co je rozdifundování příměsí?

Mechanismus, kdy se atomy dopantu pohybují v křemíku i když právě nedifundují z okolí. Oxid na povrchu křemíkové desky musí být dostatečně tlustý (kolem 500 nm) aby přes něj atomy fosforu nepronikly. Prostě a jednoduše se fosfor po křemíku víc rozleze.

26. Co je iontová implantace, jak se provádí?

Atomy dopantu jsou nastříleny pod povrch křemíkové desky. Ionty dopantu jsou urychlené elektrickým polem a nasměrovány k povrchu desky a proniknou do jisté hloubky pod povrch křemíku. Ionty jsou urychleny urychlovačem. Mezi elektrodami 50-200kV.

27. Co je epitaxe, jak se provádí a k čemu hlavně slouží?

Epitaxe je narůstání vrstvy křemíku na povrchu křemíkové desky. Vrstva má stejné krystalografické vlastnosti jako podložka ale může mít jinou koncentraci příměsí anebo jiné příměsí. Používá se k vytvoření další vrstvy.

28. Co je naprašování ve výrobním procesu IO?

Atomy kovu (Al, Cu, Au, Ti, ...) jsou vyraženy rychlým atomem Ar (10ky km/s), ty se pak usadí na předmětech v okolí. Vzniká tak pokovení. Při klasickém naprašování je terč z vodivého materiálu umístěn ve vakuové komoře a je přiveden na vysoký záporný potenciál řádově tisíce voltů. Do komory se přes jehlový ventil připouští pracovní plyn (obvykle argon) a tlak se udržuje na hodnotě řádově jednotky pascalu. Před terčem se zapálí doutnavý výboj, přičemž kladné ionty bombardují záporný terč a záporné elektrony dopadají na uzemněnou kostru komory. Těžké ionty svým dopadem rozprašují terč a rozprášené atomy se usazují na vnitřních površích. Substráty se umísťují před terč, tenká vrstva tedy vzniká především na nich.

29. Co je chemické nanášení vrstev (CVD), k čemu se používá?

Chemical Vapour Deposition, do reakční zóny jsou přiváděny reakční složky v plynné fázi obvykle za sníženého tlaku a vrstva vzniká chemickou reakcí na zahřátém substrátu. Používá se k vytváření oxidačních příkopů, vytvoření k vytvoření metalizace, atd (prostě když je nějaká díra a potřebuje se zaplnit).

30. Co je chemicko-mechanická planarizace (CMP), proč se používá?

Leštění, mechanicky s chemickým leptáním, nebo chemicky s mechanickým broušením:

- planarizace povrchu s odstraněním přebytečného materiálu
- chemická reakce naleptá a změkčí povrch deponovaného materiálu, potom se mechanickým broušením povrch planarizuje (zarovná)

Používá se k zarovnání povrchu.

31. Jaké vlastnosti musí mít ideální pouzdro pro integrovaný obvod?

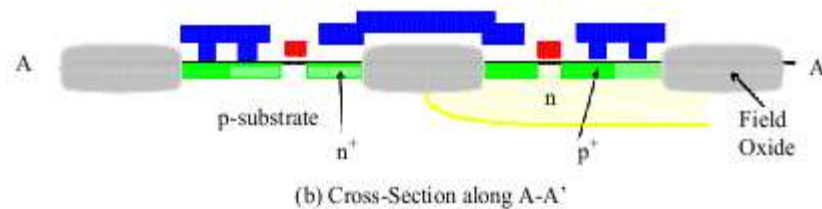
Elektrické – malé parazitní kapacity a indukčnosti

Mechanické – pevnost a spolehlivost

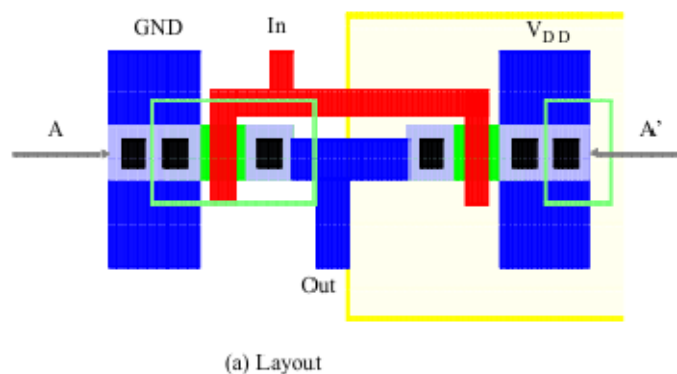
Tepelné – dobrý odvod tepla

Ekonomické – levné

32. Nakreslete řez strukturou invertoru CMOS s N jámou i s kontakty na jámu a na substrát.



33. Nakreslete layout invertoru CMOS s N jámou i s kontakty na jámu a na substrát.



34. Jak se realizuje metalizace v integrovaných technologiích?

Depozice pomocí CVD, zaleštění pomocí CMP.

35. Co jsou návrhová pravidla, proč je nutné je zavádět při návrhu IO?

Pravidla jak navrhovat strukturu, layout IO, při nedodržení může dojít k slití motivů, nebo nefunkčnosti zapojení, ...

36. Jaké základní návrhová pravidla znáte?

Min šířka motivu

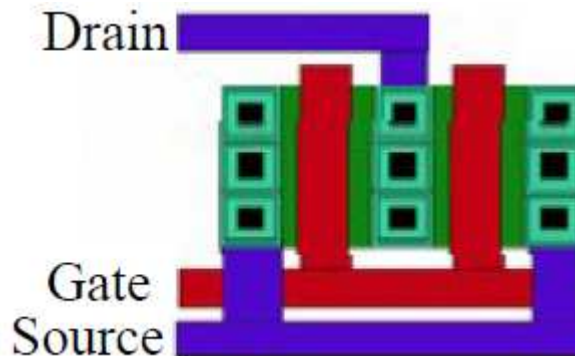
Min vzdál motivů

Min a max. rozměr motivu

Min separace dvou desek

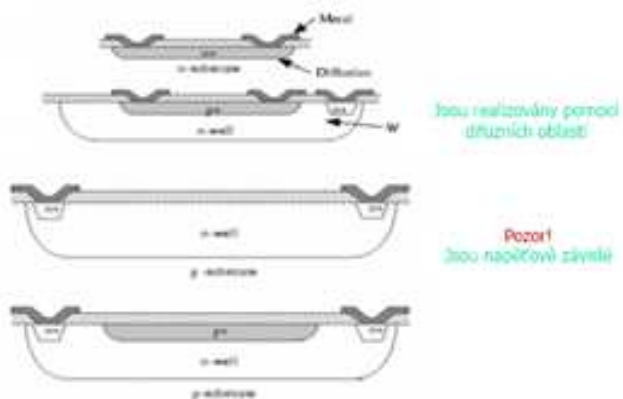
Návrhová pravidla λ

37. Nakreslete layout širokého tranzistoru rozděleného do dvou paralelních sekcí

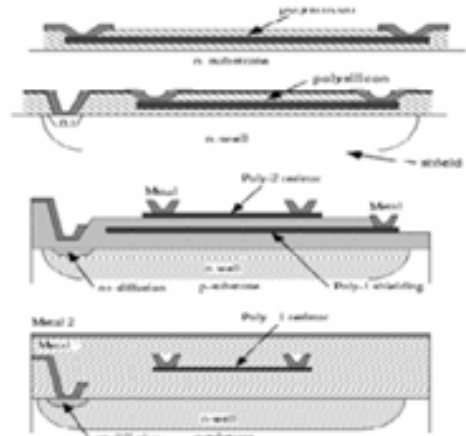


38. Nakreslete dva typy integrovaných rezistorů. Co je odpor na čtverec?

Difúzní rezistory



Poly rezistory



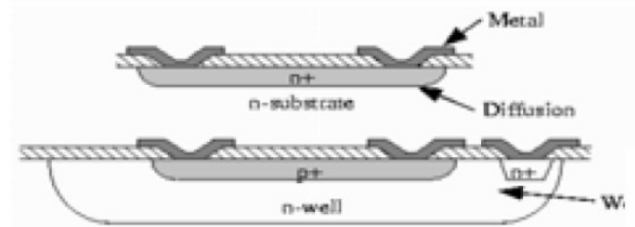
Odpor na čtverec - vyjadřuje velikost odporu vrstvy čtvercového tvaru (šířka vrstvy w je rovna její délce l). Tato hodnota je stanovena pro danou tloušťku t , kterou bude mít vrstva při dodržení předepsaného technologického postupu jejího zhotovení.

39. Jaké druhy integrovaných rezistorů znáte? Srovnajte jejich vlastnosti.

Difuzní – realizovány pomocí difuzních oblastí, napětově závislé

Polyrezistory

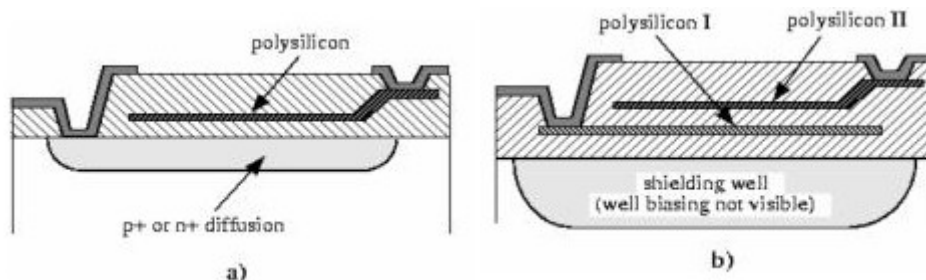
40. Nakreslete řez integrovaným rezistorem vytvořeným pomocí difúzní oblasti.



41. Jaké druhy integrovaných kapacitorů znáte? Srovnajte jejich vlastnosti.

Poly, Poly-Poly, metal-metal.

42. Nakreslete řez dvěma typy integrovaných kapacitorů.



43. Co jsou návrhová pravidla? Co popisují? Jak se kontrolují?

Vzájemné sesazení masek kontaktu, poly. Minimální šířka motivu. Minimální vzdálenost motivů. Minimální a maximální rozměr motivu. Minimální přesah. Minimální separace dvou masek. Návrhová pravidla lambda.

44. Co vše se změní (rozměry, dotace ...) u MOS tranzistoru zmenšíme-li jeho délku kanálu 2x?

Délka kanálu $\frac{1}{2}$

Šířka kanálu $\frac{1}{2}$

Hradlový oxid $\frac{1}{2}$

Napájecí napětí $\frac{1}{2}$

Prahové napětí $\frac{1}{2}$

Dotace substrátu 2

45. Jaké jsou pozitivní a jaké negativní důsledky zmenšování rozměrů tranzistorů?

+ Tranzistory rychlejší, klesá spotřeba, větší hustota tranzistorů na plochu

- Roste proudová hustota a odpor kontaktů

46. Co je SOI technologie, jaké jsou klady a jaké zápory?

SOI – křemík na izolantu

+ Lepší výkon, díky eliminaci parazitních jevů (u CMOS o 25-30%), menší V_{DD} (40-50%), lepší využití plochy - menší plocha izolace, redukováný efekt zpětného hradla, zamezení svodového proudu do

substrátu, menší oblasti PN přechodů, větší hustota integrace, zamezení Latch-up efektu, provozní teplota až 250°C, odolnost proti záření

- Tepelné vlastnosti, hystereze prahového napětí, dražší substrát o 3-10% oproti CMOS

47. Co je technologie předeprnutého křemíku (Strained Silicon), jaké má výhody?

Na Ge, se nechá epitaxně narůst Si (při 300-800°C), Využívá se rozdílné mřížkové konstanty (Si má menší mřížku) – zvýší se pohyblivost elektronů a děr + 50%, náklady +2%, rychlost čipu +35%, jednoduchost, není třeba zmenšovat šířku oxidu, možnost s budoucí kombinací s jinou technologií.

48. Jaký je postup návrhu digitálních obvodů?

Logický návrh – Syntéza – Umístění propojení – Verifikace.

49. Co je logický návrh, charakterizujte. Co jsou tzv. HDL jazyky?

Logický návrh – Vytvoření funkčních specifikací verifikačního plánu, systémové modelování, RTL popis a verifikace HDL, verifikace na systémové úrovni, pokročilé verifikační metody „Low power“

HDL – číslicový, analogový a číslico-analogový jazyk pro chování elektronického obvodu, rychlý popis funkce obvodu, krátká doba simulace, hodí se i pro tvorbu simulačních obvodů

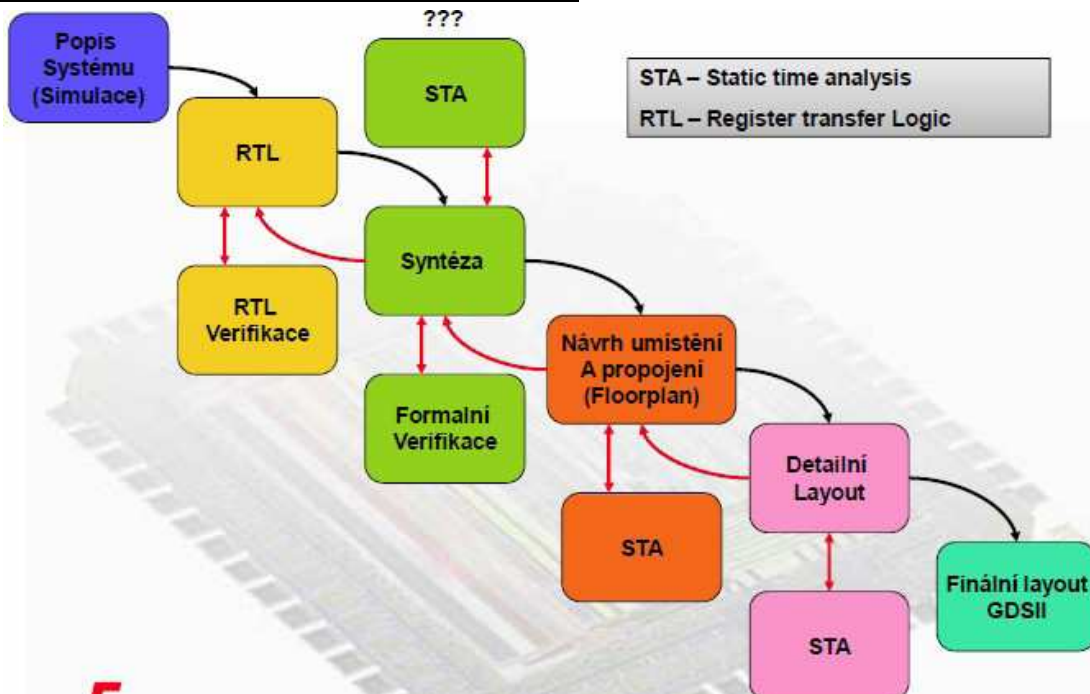
50. Co je syntéza v digitálním návrhu IO? Co je vstupem a co výstupem?

Převedení HDL kódu na netlist.

51. Co je statická časová analýza (STA), k čemu slouží, kdy jí v návrhu provádíme?

Vhodná pro synchronní návrh, kontroluje časování bez testu vektorů, konzervativní způsob v porovnávání s dynamickou časovou analýzou.

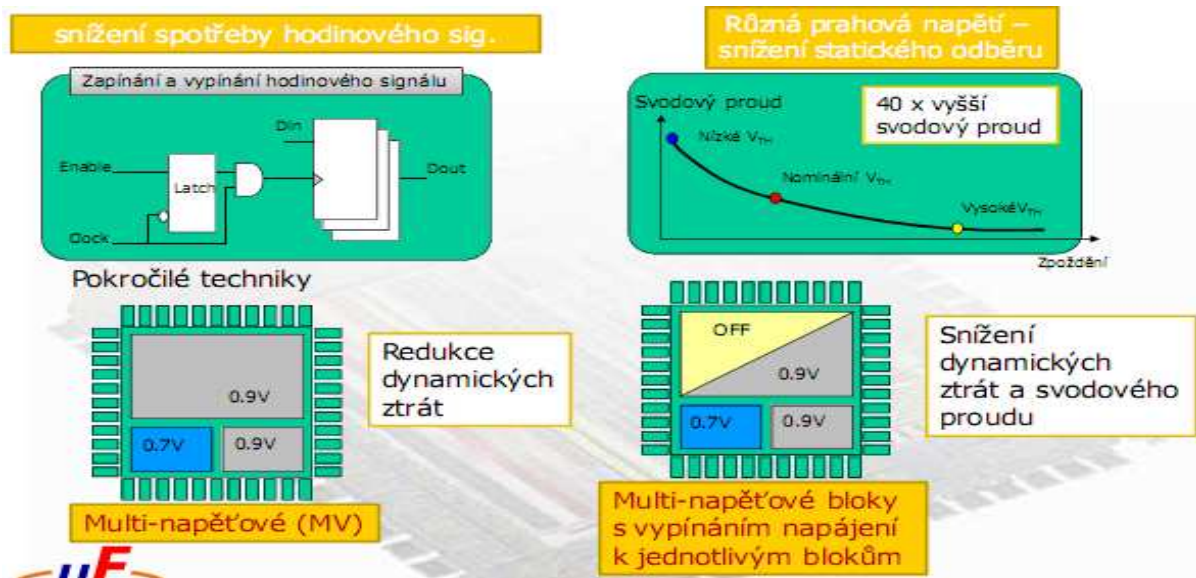
52. Načrtněte postup fyzického návrhu digitálního IO.



53. Charakterizujte plánování rozložení čipu (Floorplanning).

Jak se vypořádat s velikostí čipu, umístěním IO, rozvodem hodinového signálu, rozvodem VDD/GND.

54. Načrtněte metody pro snížení spotřeby velkých digitálních IO.



55. Co jsou multi-napěťové bloky, proč je v návrhu digitálních IO uplatňujeme?

Bloky, skládající se z částí s různými napětími. Snížení spotřeby a tím pádem i tepla.

56. Co je makrobuňka? CO je tzv. IP blok?

IP blok – blok, který se nechá zakoupit od třetích firem.

Makrobuňka – velký blok, možný problém s možnostmi propojení.

57. Čím se řídí a optimalizuje rozmístění buněk (Placement) v digitálním návrhu?

Časováním a následným propojením bloků.

58. Co jsou knihovny standardních buněk? Jaké mají výhody?

Knihovny standardních buněk - předem navržené layouty specifických logických hradel, každá buňka má stejnou velikost, dodáváno výrobcem IO.

59. Co je tzv. Časová kritická cesta v digitálním návrhu? Jak se optimalizuje při fyzickém návrhu čipu?

Časová kritická cesta – cesta, u které je důležitý co nejrychlejší průchod signálu

Optimalizace – časování, hustota propojení, napájení

60. Jak se postupuje při návrhu metalického propojení (Routing) v digitálním návrhu IO?

Rozmístění a návrh hodin – připojení hodinových uzlů – návrh globálního signálového propojení – detailní signálové propojení – Design For Manufacturing (DFM)

61. Jak vznikají přeslechy v IO? Jak bojujeme proti přeslechům v integrovaných obvodech?

Rušení závisí na vzájemné kapacitě, celkové kapacitě propojení, síle zdroje rušení.

Optimalizace: vhodné vedení propojení, zapojení driverů.

62. Co charakterizuje „Návrh pro výrobní proces“ (DFM – Design for Manufacturing)?

Návrhové techniky pro technologické zpracování, musí být vzaty už při návrhu.

63. Proč je nutné provádět Analýzu úbytku napětí (IR Drop Analysis) v digitálním návrhu IO?

Protože je problém jak dostat do čipu 100A při 1V.

64. Co je elektromigrace? Jak se projevuje a jak proti ní bojujeme?

Podstatou je pohyb nabitých částic působením elektrického pole.

Potlačení - přidávkou mědi do Al se dá elektromigrace i při značných proudových hustotách ($> 10^6 \text{ A/cm}^2$) prakticky potlačit na nulu. Přidává se 0,5 % hmotnosti Cu.

65. Co je LVS (Layout vs Schema), jak to pracuje?

Srovnání layoutu a schématu, extrakce jednotlivých součástek a propojení, tvorba netlistu, srovnání netlistu.

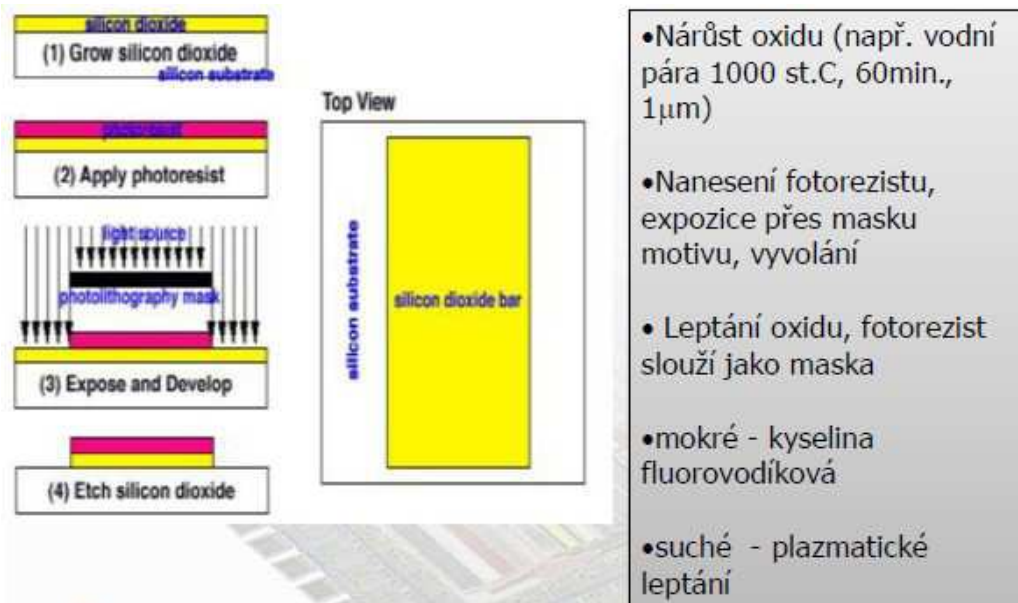
66. Co je ERC (Elektrická kontrola) v digitálním návrhu?

Kontrola elektrických pravidel (ERC) – kontroluje zkratky a plovoucí uzly.

67. Co jsou MEMS struktury, kde se používají?

MEMS – mikro - elektro - mechanické systémy. Motivy velikosti um. Přesnost, nízké náklady. Struktury – membrány, nosníky, pohony. Aplikace – medicína, spotřební zboží, automobilový průmysl. Sériová výroba velkých množství komponentů = nízká cena. Užití materiálů a procesů běžných pro IO. Vytvoření menších, lehčích, rychlejších verzí mechanických součástí.

68. Načrtněte postup výroby jednoduchého MEMS nosníku (PolySi nosník na křemíku).



69. Co je objemové leptání v MEMS technologiích?

Odleptání materiálu i pod součástkou (leptání koleček).

70. Jak fungují MEMS akcelerometry?

Fungují na kapacitním principu, 2 hřebeny v sobě – podle vychýlení plošek se určí akcelerace.

71. Jak funguje MEMS gyroskop?

Jsou zde pružinky, které jsou uchyceny ve všech směrech a tím se zjistí poloha předmětu nebo rotace.

72. Jaké znáte optické MEMS

Mikrozrcátko (digitální diaprojektory) – matice zrcátek, elektrostatické řízení, každé zrcátko = 1 pixel.

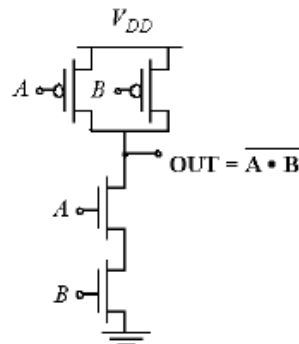
Mikro hroty – (ploché displeje), pole velice ostrých mikro hrotů, každý hrot je mikroelektronové dělo. 1hrot = 1pixel.

73. Popište postup návrhu a simulací MEMS struktur

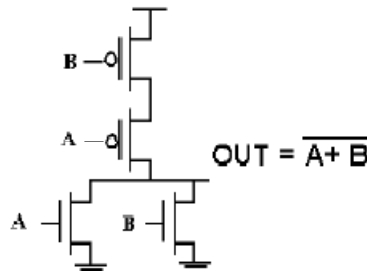
Příprava – příprava geometrického modelu, určí se materiálové konstanty, tvorba diskretizační sítě, zadání parametrů simulace.

Zpracování – vlastní výpočet, definují se okrajové podmínky a parametry simulace.

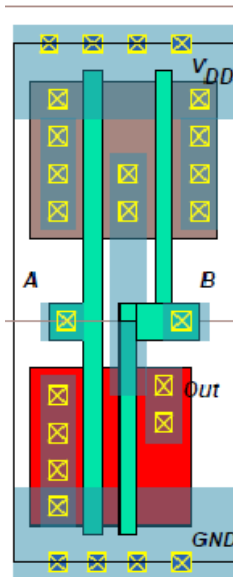
74. Nakreslete schéma zapojení dvoustupěho hradla NAND v CMOS technologii.



75. Nakreslete schéma zapojení dvoustupěho hradla NOR v CMOS technologii.



76. Nakreslete layout dvoustupěho hradla NAND v CMOS technologii.



77. Nakreslete layout dvoustupěho hradla NOR v CMOS technologii.

???

78. Jak se postupuje při výrobě masek pro optickou litografii

Masky pro optickou litografii mívají 8 vrstev, které se tvoří postupně: Aktivní oblasti, P-jáma implantace, N-jáma implantace, Poly gate, N+ S/D implantace, P+ S/D implantace, kontaktní okna, metalizace