

1. Kdy a kým byl vynalezen integrovaný obvod?

1958 – Jack Kilby (Texas Instruments)

2. Jaké jsou dnešní nejmodernější technologie integrovaných obvodů? Napište hlavní vlastnosti a charakteristiky.

Vysoká integrace, šířka hradla 45nm - 410 milionů tranzistorů na ploše 107 mm² (brzy 32nm), technologie MOSFET

3. Co jsou Moorovy zákony. Co popisují?

Nejedná se o zákon, spíš o vypořádání určité závislosti – po 18 měsících se počet tranzistorů zdvojnásobí (původně to bylo 12 měsíců, takže je otázkou je jak dlouho to bude platit)

4. Jakým způsobem se vyvíjeli polovodičové technologie?

Velikost waferu	2,5mm	dnes 450mm
Výrobní proces	350nm (PII-1997)	45nm
frekvence	108kHz (I 4004-1971)	5GHz
Počet tranzistorů	2300 (I 4004-1971)	731 mil (Intel i7)
Kapacita DRAM	64Kbit/chip	64mil Kbit/chip
Výkonová hustota	2W/cm ²	1000W/cm ²

5. Napište čtyři hlavní skupiny obvodů ASIC (Aplikačně Specifické Integrované Obvody)

Plně zákaznický	Monolitické IO, většinou analogové
Hradlové pole	Monolitické IO, složené z řad nebo sloupců tranzistorů, programují se pomocí masek propojení
Standardní buňky	Monolitické IO, navržené pomocí knihovních buněk
Programovatelné obvody	Monolitické IO, tvořené logickými buňkami a bloky, které jsou zákaznický programovány pomocí propojek

6. Co jsou plně zákaznické obvody, charakterizujte, jak se navrhují?

Výborná flexibilita návrhu, limitace návrhovými pravidly, ruční návrh, (nepoužívají se bloky)
Analogový i digitální návrh dohromady
Dlouhý čas návrhu a realizace. Efektivní využití plochy čipu. Levné při velkých sériích
Analogové obvody, uP, paměti, převodníky,

7. Co jsou Hradlová pole, charakterizujte, jak se navrhují?

Prefabrikované čipy, propojení vrstvami metalizace
Levné ve středních sériích, rychlá výroba, nevhodné na RAM, PLU, ALU

8. Co jsou Standardní buňky, charakterizujte, jak se navrhují?

Předdefinované standardní buňky (NAND, NOR, převodníky, ...) Návrhář navrhuje jen umístění a propojení, mohou být digitální i analogového
Velikost čipu limituje funkčnost. Dlouhý výrobní proces. Levné velkosérie. Snadné skládání (definovaná velikost buňky)

9. Co jsou programovatelné obvody, charakterizujte, jak se navrhují?

Základem je logická struktura (spojení AND a OR matice), návrh pomocí propalování propojek
Velice rychlý návrh realizace
PROM – Programmable Read Only Memory
PAL – Programmable Array Logic
PLA – Programmable Logic Array
FPGA – Field programmable Gate Array

10. Nakreslete řez tranzistorem PMOS s jámou N i s kontaktem na jámu, nakreslete výstupní charakteristiky, vyznačte lineární a saturační oblast.

11. Nakreslete řez tranzistorem NMOS s jámou P i s kontaktem na jámu, nakreslete výstupní charakteristiky, vyznačte lineární a saturační oblast.

12. Co je prahové napětí, jak ho můžeme ovládat (technologicky).

13. Napište rovnici pro kolektorový proud I_D tranzistorem NMOS v lineární oblasti.

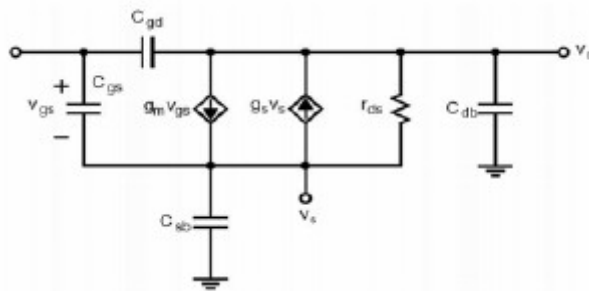
$$I_D = \mu_n C_{ox} \left(\frac{W}{L} \right) (V_{GS} - V_t) V_{DS}$$

14. Napište rovnici pro kolektorový proud I_D tranzistorem NMOS v saturační oblasti.

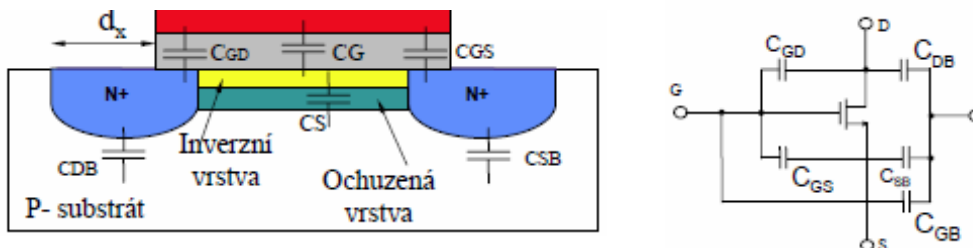
$$I_D = \mu_n C_{ox} \left(\frac{W}{L'} \right) (V_{GS} - V_t)^2$$

15. Co je modulace délky kanálu v MOS struktuře, jak se projeví ve výstupních charakteristikách?

16. Nakreslete náhradní model pro malé signály tranzistoru NMOS



17. Jaké jsou parazitní kapacity ve struktuře MOS?



CG – kapacita oxidu mezi hradlem (gate) a kanálem

CGD(S) – kapacita přesahu mezi hradlem a Drain (source)

CS – kapacita vyprázdňené vrstvy mezi kanálem a substrátem

CDB(SB) – kapacita přechodu mezi substrátem a oblastí kolektoru-drain (emitoru-source)

18. Jaký je rozdíl mezi amorfním a monokrystalickým křemíkem? Jaké defekty v monokrystalu znáte?

Amorfni – atomy Si-4 vazné, ale ne vždy se tak slučují, mají nepravidelnou strukturu (používá se k napařování tenkého filmu na fotovoltaické články)

Monokrystal – křemík z taveniny, pravidelná struktura

Intersticiální poloha - atom je umístěn mimo mřížku (je navíc)

Vakance - neobsazené mřížkové body – Atom chybí v mřížce

Frenkelova porucha – Vakance + Intersticiální poloha

19. Co jsou tzv. čisté prostory, k čemu slouží?

Jedná se o výrobní prostory, při výrobě IO. Je tam mírný přetlak, vzduch filtrován, speciální obleky pro personál, počet prach částic 1-100.

20. Popište základní kroky přípravy křemíkových substrátů.

Růst monokrystalu – Ingot – odříznutí konců ingotu – výbrus fazet – nařezání destiček – broušení hran – broušení/leštění – leptání - leštění – kontrola

21. Jak se vyrábějí křemíkové monokrystaly?

Czochralského metoda

Zonální tavba

22. Jaké druhy litografie znáte? Čím se liší?

Fotolitografie do 0,1 μm

Rentgenová litografie od 0,3 μm

Elektronová litografie 10-100 nm

liší se šířkou nejtenčí čáry na čipu

23. Jaký druh litografie používáme pro výrobu IO? Proč? Kde jsou její hranice použití?

Fotolitografie, momentálně nelevnější řešení, s relativně vysokou výtěžností (60 až 150 waferů za hodinu), vlnová délka 193 nm stačí maximálně na výrobní proces 45 nm, vylepšením na imerzní (ponořené) fotolitografii lze vytvářet čipy na technologii 32 nm. Poté přijde EUV litografie (problé výtěžnost 10 waferů za hodinu)

24. K čemu slouží fotolitografie v technologickém procesu IO?

K přenosu topologie čipu na křemíkový wafer

25. K čemu slouží leptání, jaké druhy znáte, co je selektivita a co anizotropie.

Odleptá SiO_2 v oknech fotorezistu, ten se pak smyje v roztoku H_2SO_4 a H_2O_2 ,

Selektivita – určuje jak efektivně je odstraňován leptaný materiál, bez toho aby leptal jiný materiál

Anizotropie – rychlost leptání v různých směrech

26. Co je plazmatické leptání?

Suché leptání

Leptání radikály fluoru, ionty jsou urychlovány napětím mezi plazmou a elektrodou, při dopadu odevzdají energii povrchovým atomům a erodují s nimi, leptání je vysokoselektivní a izotropní

27. Co je termická oxidace, jak se provádí?

Proces při kterém se vytvoří na monokrystalu vrstva SiO_2

Provádí se v Oxidační (difuzní peci) teplota 400-1200 $^\circ\text{C}$, wafer se ofukuje horkým O_2

28. K čemu slouží termická oxidace ve výrobním procesu IO?

K vytvoření izolační vrstvičky SiO_2

29. Co je difúze, jak se provádí?

Je proces, při němž pronikají atomy dopantu pod povrch křemíkové desky ve vybraných oblastech Teplotou, časem a chemickým složením lze nastavit hloubku nadifundované vrstvy a koncentraci dopantu při povrchu, nebo-li „Prosakování“ atomů z vnějšku do struktury Si

Z kapalného zdroje – N_2 probublává skrz POCl_3 a spolu s O_2 se fouká na wafery

Vakuová difuze – wafery v peci s miskou dopantu, za vysoké teploty se dopant odpaří a usadí na waferech

30. Co je rozdifundování příměsí?

Mechanismus, kdy se atomy dopantu pohybují v křemíku i když právě nedifundují z okolí. Oxid na povrchu křemíkové desky musí být dostatečně tlustý (kolem 500 nm) aby přes něj atomy fosforu neprošly. Prostě a jednoduše se fosfor po křemíku víc rozleze.

31. CO je iontová implantace, jak se provádí?

atomy dopantu jsou nastříeny pod povrch křemíkové desky.

Ionty dopantu jsou urychlené elektrickým polem a nasměrované k povrchu desky a proniknou do jisté hloubky pod povrch křemíku. Ionty jsou urychleny urychlovačem. Mezi elektrodami 50-200kV

32. CO je epitaxe, jak se provádí a k čemu hlavně slouží?

Epitaxe je narůstání vrstvy křemíku na povrchu křemíkové desky. Vrstva má stejné krystalografické vlastnosti jako podložka ale může mít jinou koncentraci příměsí anebo jiný příměsí.

Používá se k vytvoření další vrstvy

33. Co je naprašování ve výrobním procesu IO?

Atomy kovu (Al, Cu, Au, Ti, ...) jsou vyraženy rychlým atomem Ar (10ky km/s), ty se pak usadí na předmětech v okolí. Vzniká tak pokovení.

Při klasickém naprašování je terč z vodivého materiálu umístěn ve vakuové komoře a je přiveden na vysoký záporný potenciál řádově tisíce voltů. Do komory se přes jehlový ventil připouští pracovní plyn (obvykle argon) a tlak se udržuje na hodnotě řádově jednotky pascalu. Před terčem se zapálí doutnavý výboj, přičemž kladné ionty bombardují záporný terč a záporné elektrony dopadají na uzemněnou kostru komory. Těžké ionty svým dopadem rozprašují terč a rozprášené atomy se usazují na vnitřních površích. Substráty se umísťují před terč, tenká vrstva tedy vzniká především na nich.

34. Co je chemické nanášení vrstev (CVD), k čemu se používá?

chemical vapour deposition, do reakční zóny jsou přiváděny reakční složky v plynné fázi obvykle za sníženého tlaku a vrstva vzniká chemickou reakcí na zahřátém substrátu.

Používá se k vytváření oxidačních příkopů, vytvoření k vytvoření metalizace, atd (prostě když je nějaká díra a potřebuje se zaplnit)

35. Co je chemicko-mechanická planarizace (CMP), proč se používá?

Leštění, Mechanicky s chemickým leptáním, nebo chemicky s mechanickým broušením

- planarizace povrchu s odstraněním přebytečného materiálu
- Chemická reakce naleptá a změkčí povrch deponovaného materiálu, potom se mechanickým broušením povrch planarizuje (zarovná)

Používá se k zarovnání povrchu.

36. Jaké vlastnosti musí mít ideální pouzdro pro integrovaný obvod?

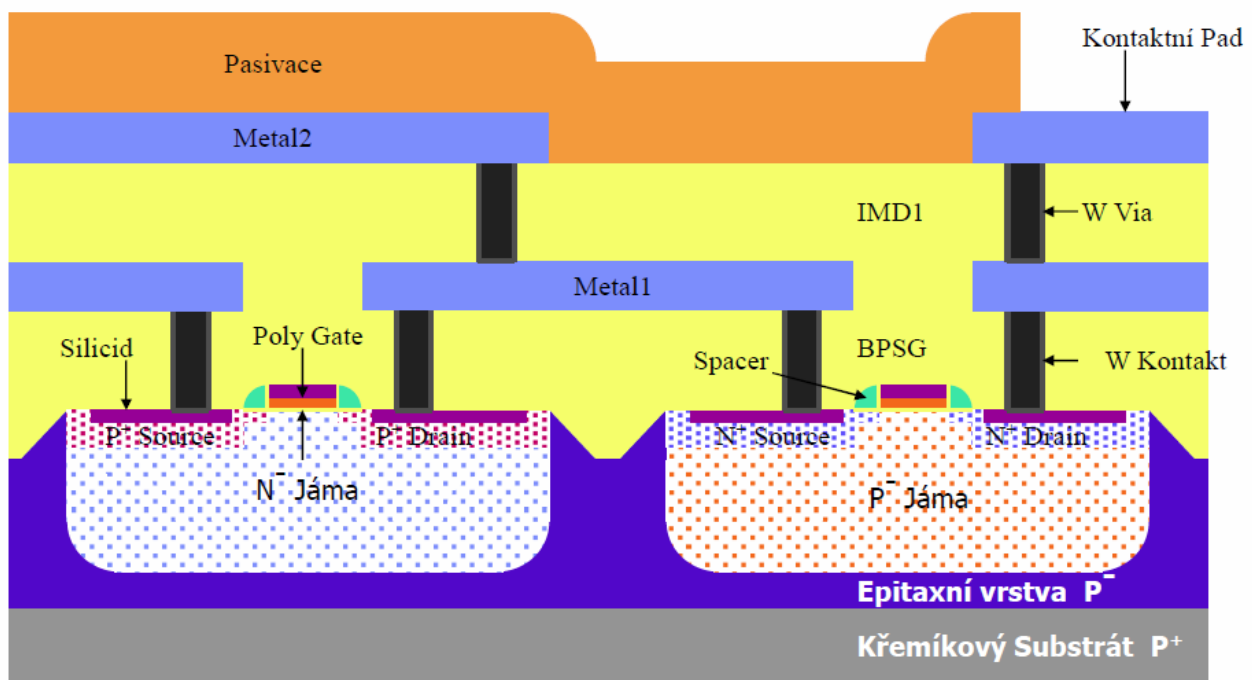
Elektrické – malé parazitní kapacity a indukčnosti

Mechanické – pevnost a spolehlivost

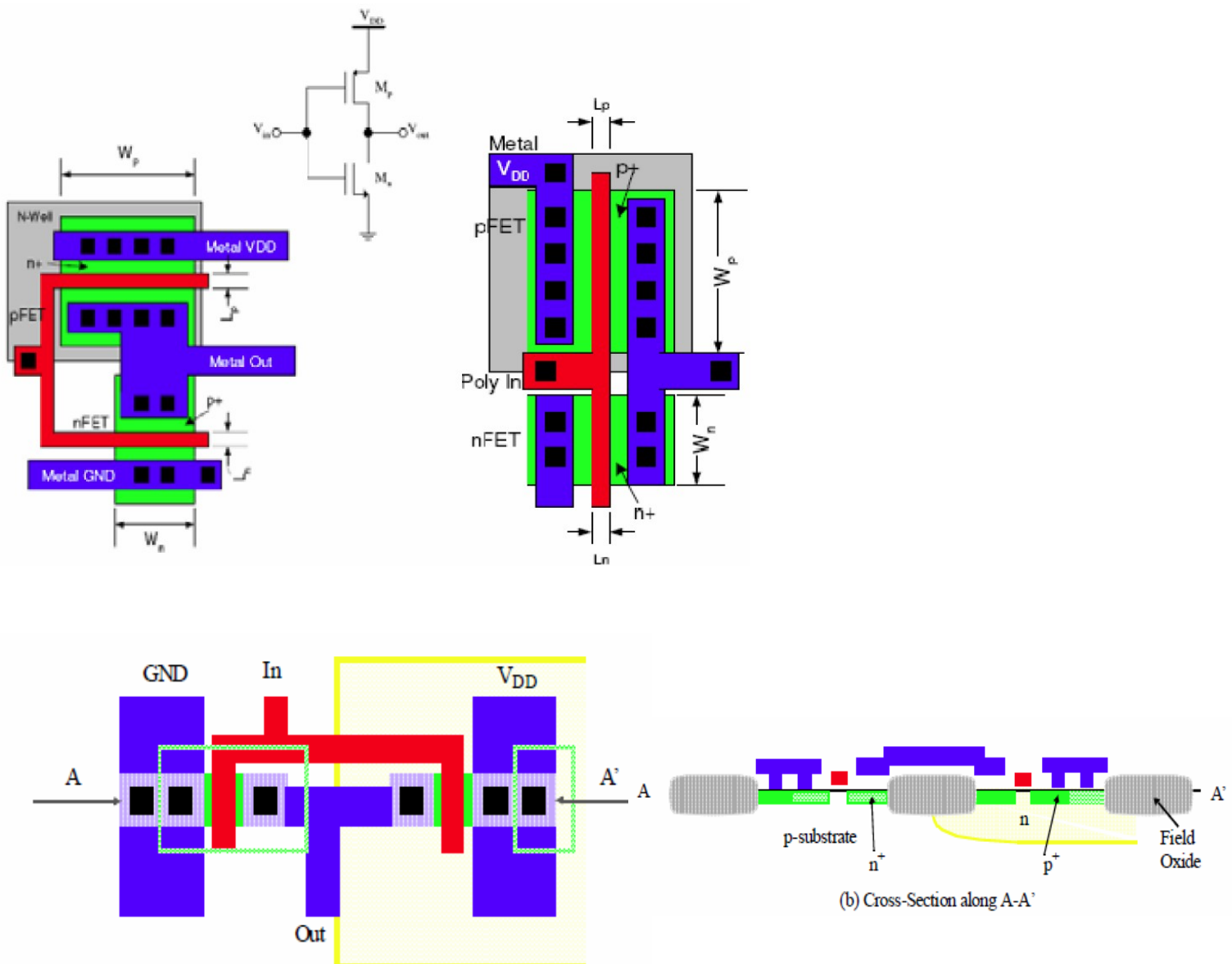
Tepelné – Dobrý odvod tepla

Ekonomické – levné

37. Nakreslete řez strukturou invertoru CMOS s N jámou i s kontakty na jámu a na substrát.



38. Nakreslete layout invertoru CMOS s N jámou i s kontakty na jámu a na substrát.



39. Co je LDD struktura? Proč je v submikronových technologiích důležitá?

Lightly-Doped-Drain -implantací Ar, redukuje efekt horkých elektronů (ve struktuře to jsou takové zobáčky pod gate)

U tranzistorů MOS s N kanálem je možné modifikovat technologický postup výroby oblastí emitoru a kolektoru kombinací implantací fosforu a arzenu a snížit tak maximum intenzity elektrického pole v kanálu tranzistoru.

40. Jak se realizuje metalizace v integrovaných technologiích?

Depozice pomocí CVD, zalaštění pomocí CMP

41. Co jsou návrhová pravidla, proč je nutné je zavádět při návrhu IO?

Pravidla jak navrhovat strukturu, layout IO, při nedodržení může dojít k slití motivů, nebo nefunkčnosti zapojení, ...

42. Jaké základní návrhová pravidla znáte?

Min šířka motivu

Min vzdál motivů

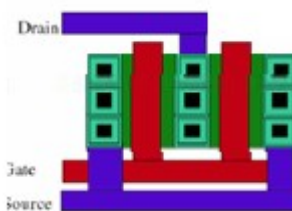
Min a max rozměr motivu

Min separace dvou desek

Návrhová pravidla λ

43. Nakreslete layout širokého tranzistoru rozděleného do dvou paralelních sekcí

Drain



Gate

Source

(Nevím snad to je dobře)

44. Proč je dobré v některých analogových blocích (např. diferenční stupeň) rozdělit tranzistory na několik paralelních a vzájemně je prokládat?

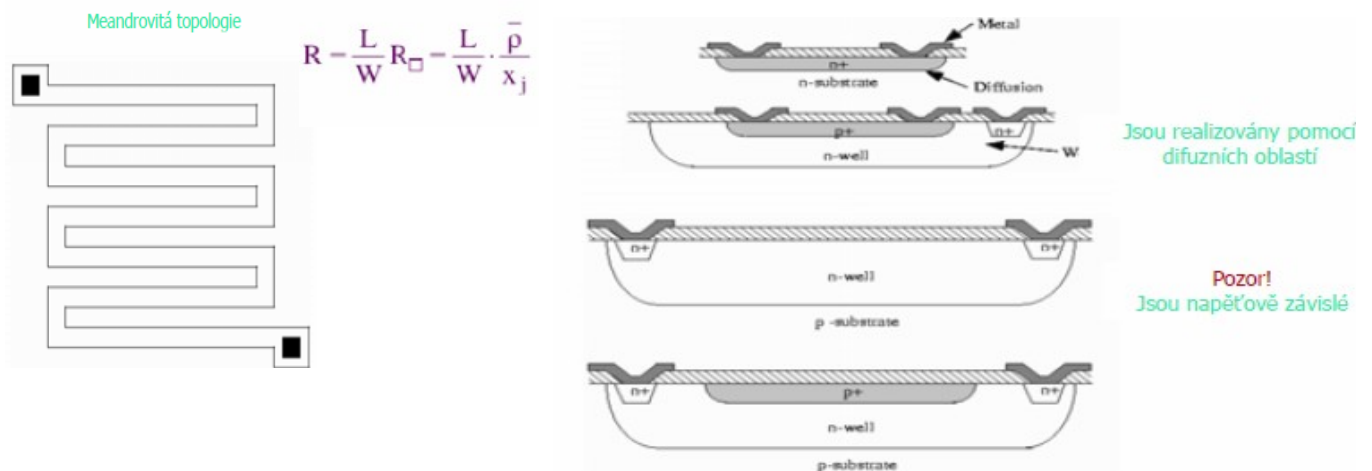
Dosahuje se stejné teploty a stejných vlastností

45. Napište několik základních pravidel pro tvorbu analogového layoutu.

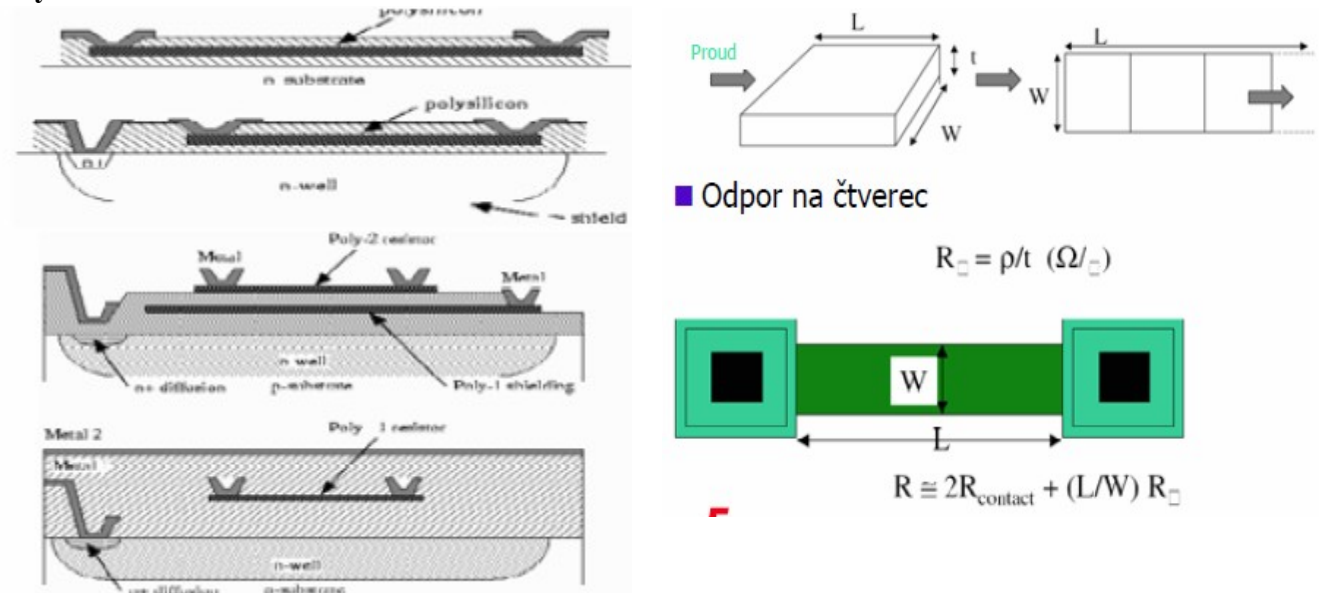
46. Co jsou Dummy součástky, k čemu slouží?

Slouží k o oddělení bloků – **!!!!!!!To ale sřílím jen tak od boku!!!!!!**

47. Nakreslete dva typy integrovaných rezistorů. Co je odpor na čtverec?

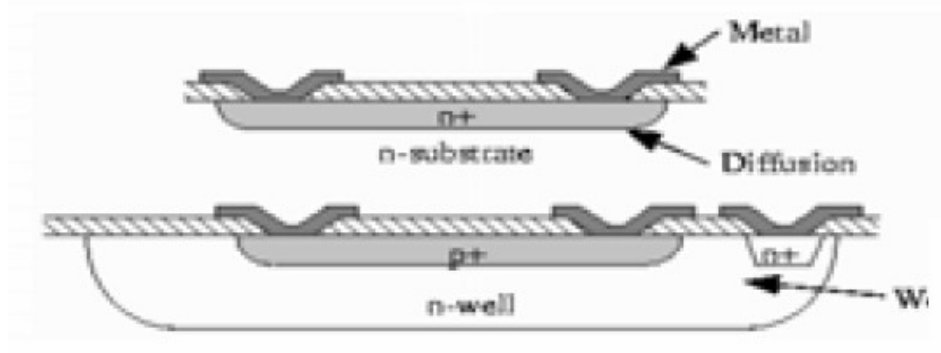


Poly rezistorem



48. Jaké druhy integrovaných rezistorů znáte? Srovnajte jejich vlastnosti.

49. Nakreslete řez integrovaným rezistorem vytvořeným pomocí difúzní oblasti.

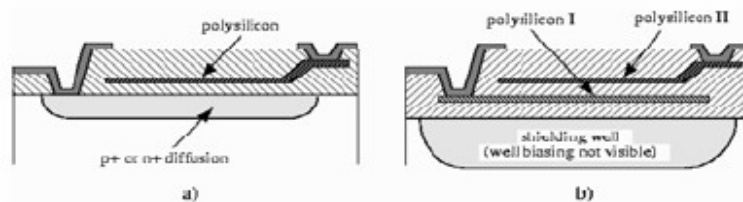


50. Jaké druhy integrovaných kapacitorů znáte? Srovnajte jejich vlastnosti.

Poly, Poly-Poly, metal-metal

????asi????

51. Nakreslete řez dvěma typy integrovaných kapacitorů.



$$C = \frac{\epsilon_{ox}}{t_{ox}} WL$$

52. Co je Latchup?

Sepnutí parazitní struktury tyristoru, vedoucí ke zkratu VDD-GND, je nutné minimalizovat odpor substrátu připojeného k GND/VDD – umístíme co nejvíce kontaktů na substrát a jámu

53. Co jsou návrhová pravidla? Co popisují? Jak se kontrolují?

54. Co vše se změní (rozměry, dotace ...) u MOS tranzistoru zmenšíme-li jeho délku kanálu 2x?

Délka kanálu ½

šířka kanálu ½

hradlový oxid ½

Napájecí napětí ½

Prahové napětí ½

Dotace substrátu 2

55. Jaké jsou pozitivní a jaké negativní důsledky zmenšování rozměrů tranzistorů?

+ Tranzistory rychlejší, klesá spotřeba, větší hustota tranzistorů na plochu

-- Roste proudová hustota a odpor kontaktů

56. Co je SOI technologie, jaké jsou klady a jaké zápory?

SOI – křemík na izolantu

+ Lepší výkon, díky eliminaci parazitních jevů (u CMOS o 25-30%)

Menší VDD (40-50%)

Lepší využití plochy – menší plocha izolace

Redukovaný efekt zpětného hradla

Zamezení svod proudu do substrátu

Menší oblasti PN přechodů

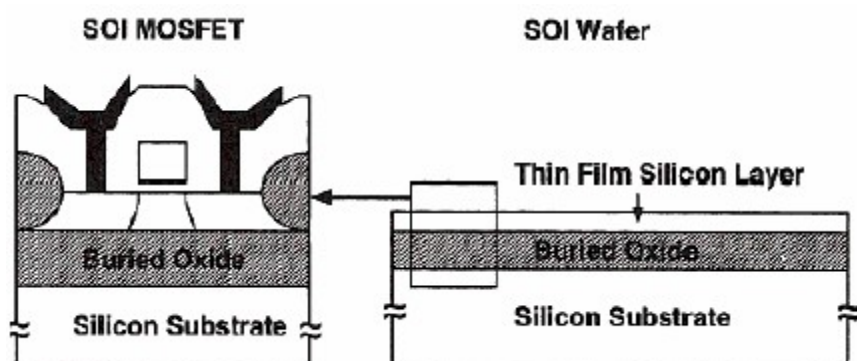
Větší hustota integrace

Zamezení Latch-up efektu

Provozní teplota až 250°C

Odolnost proti záření

- Tepelné vlastnosti, Hystereze prahového napětí, Dražší substrát o 3-10% oproti CMOS



57. Co je technologie předepnutého křemíku (Strained Silicon), jaké má výhody?

Na Ge, se nechá epitaxně narůst Si (při 300-800°C), Využívá se rozdílné mřížkové konstanty (Si má

menší mřížku) – zvýší se pohyblivost elektronů a děr + 50%, náklady +2%, rychlost čipu +35%, jednoduchost, není třeba zmenšovat šířku oxidu, možnost s budoucí kombinací s jinou technologií.

58. Co je SiGe HBT technologie, charakterizujte ji.

První čip 2003 IBM

Na substrát Si, se nechá narůst SiGe,

Lepší výkon, než Si BiCMOS, nižší cena než III-V Polovodiče (GaAs), využití v RF, rychlost 300-500 Ghz, vyšší účinnost, nižší spotřeba,

Vyšší náklady na výrobu, náročnost výroby

59. Jaký je postup návrhu digitálních obvodů?

Logický návrh – Syntéza – Umístění propojení - Verifikace

60. Co je logický návrh, charakterizujte. Co jsou tzv. HDL jazyky?

Logický návrh – Vytvoření funkčních specifikací verifikačního plánu, Systémové modelování, RTL popis a verifikace HDL, Verifikace na systémové úrovni, Pokročilé verifikační metody „Low power“

HDL – číslicový, analogový a číslico-analogový jazyk pro chování elektronického obvodu

Rychlý popis fce obvodu, krátká doba symulace, hodí se i pro tvorbu simulačních obvodů

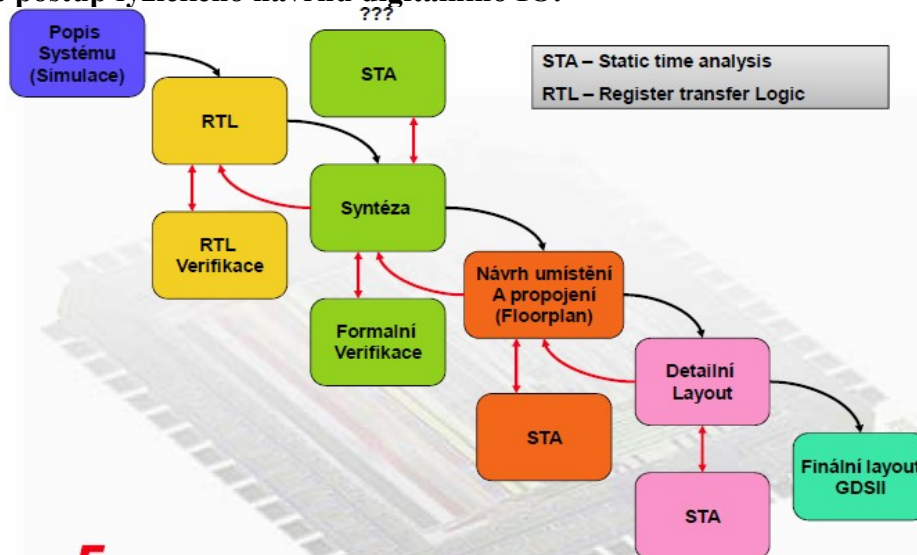
61. Co je syntéza v digitálním návrhu IO? Co je vstupem a co výstupem?

Převod HDL kódu na netlist

62. Co je statická časová analýza (STA), k čemu slouží, kdy jí v návrhu provádíme?

Vhodná pro synchronní návrh, Kontroluje časování bez test vektorů, Konzervativní způsob v porovnávání s dynamickou čas. Analýzou

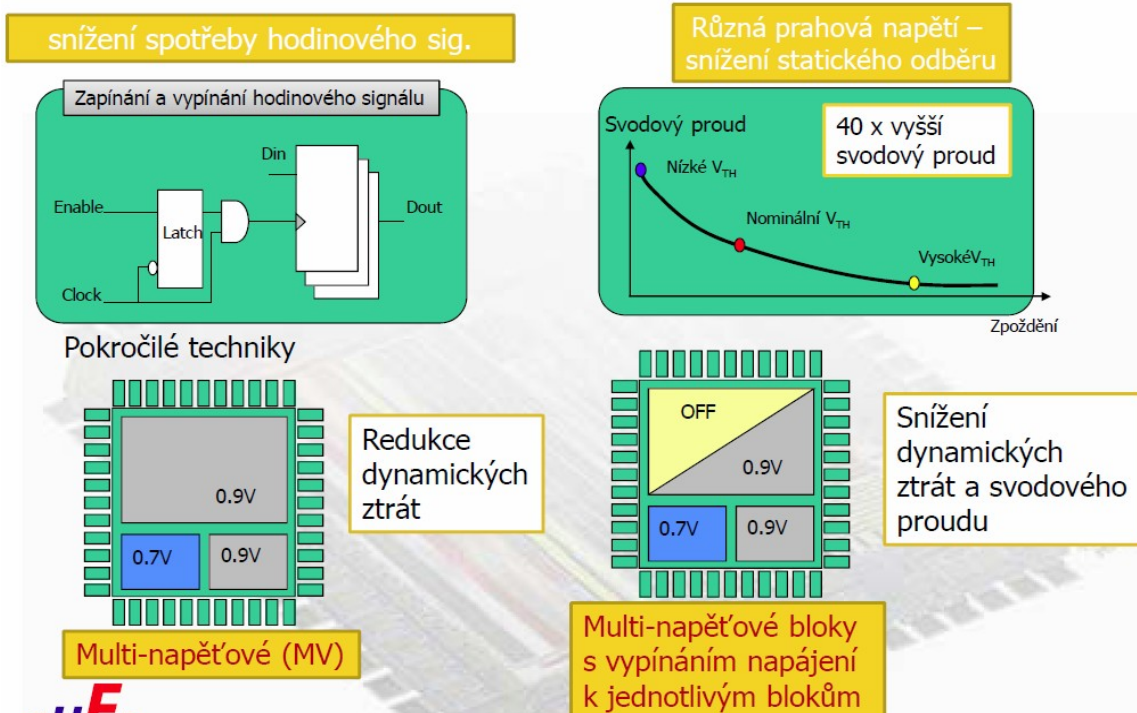
63. Načrtněte postup fyzického návrhu digitálního IO.



64. Charakterizujte Plánování rozložení čipu (Floorplanning).

Jak se vypořádat s Velikostí čipu, Umístěním IO, Rozvodem hodinového signálu, Rozvodem VDD/GND

65. Načrtněte metody pro snížení spotřeby velkých digitálních IO.



66. Co jsou multi-napěťové bloky, proč je v návrhu digitálních IO uplatňujeme?

Viz 65

67. Co je makrobuňka? CO je tzv. IP blok?

IP blok – blok, který se nechá zakoupit od třetích firem

Makrobuňka – velký blok, možný problém s možnostmi propojení

68. Čím se řídí a optimalizuje rozmístění buněk (Placement) v digitálním návrhu?

Časováním a následným propojením bloků

69. Co jsou knihovny standardních buněk? Jaké mají výhody?

Knihovny st. b. - předem navržené layouts specifických log. Hradel

Každá buňka má stejnou velikost, Dodáváno výrobcem IO

70. Co je tzv. Časová kritická cesta v digitálním návrhu? Jak se optimalizuje při fyzickém návrhu čipu?

Čas. kritická cesta – cesta u které je důležitý co nejrychlejší průchod signálu

Optimalizace – časování, hustota propojení, napájení

71. Jak se postupuje při návrhu metalického propojení (Routing) v digitálním návrhu IO?

Rozmístění a návrh hodin – Připojení Hodinových uzlů – Návrh globálního signálového propojení – Detailní signálové propojení – Design for manufacturing (DFM)

72. Jak vznikají přeslechy v IO? Jak bojujeme proti přeslechům v integrovaných obvodech?

Optimalizace – Vhodné vedení propojení, Zapojení driverů

závisí na - Vzájemná kapacita, Celková kapacitapropojení, síla zdroje rušení

73. Co charakterizuje „Návrh pro výrobní proces“ (DFM – Design for Manufacturing)?

Návrhové techniky pro technologické zpracování, musí být vzaty už při návrhu

74. Proč je nutné provádět Analýzu úbytku napětí (IR Drop Analysis) v digitálním návrhu IO?

Protože je problém jak dostat do čipu 100A při 1V

75. Co je elektromigrace? Jak se projevuje a jak proti ní bojujeme?

Podstatou je pohyb nabitě částice působením elektrického pole

76. Co vše se provádí při finální verifikaci čipu?

Porovnání návrhových pravidel (DRC), Porovnání layoutu se schematem (LVS), Kontrola elektrických pravidel (ERC)

77. Co je LVS (Layout vs Schema), jak to pracuje?

Srovnání layoutu a schematu, extrakce jednotlivých součástek a propojení, tvorba netlistu, srovnání netlistu

78. Co je ERC (Elektrická kontrola) v digitálním návrhu?

Kontrola elektrických pravidel (ERC) – kontroluje zkratky a plovoucí uzly

79. Co jsou MEMS struktury, kde se používají?

Mikro elektrické mechanické systémy – Motivy velikosti micrometru

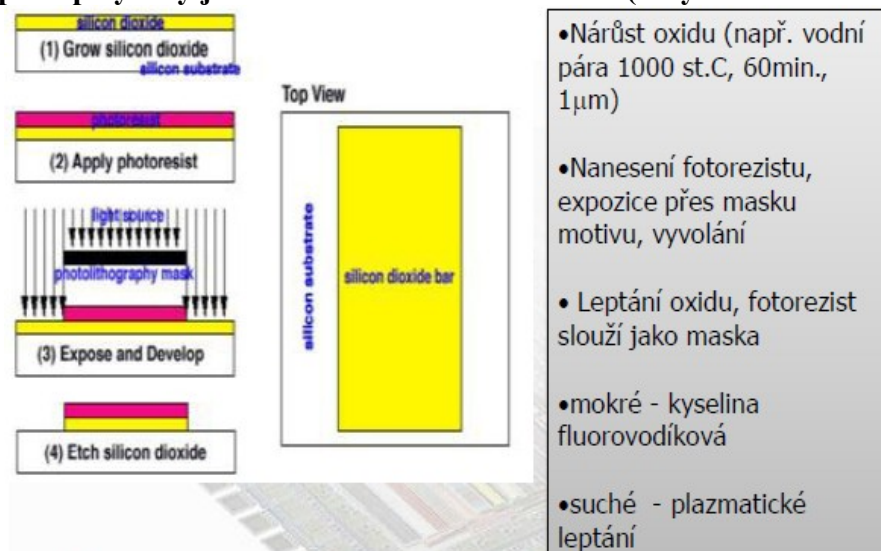
+ Přesnost, nízké náklady, menší, lehčí mechanismy,

Aplikace – medicína, automobil, průmysl,... - elektromechanické senzory

Materiály – kovy, plasty, keramika, Si

Struktura – Membrány, nosníky, trisky, pohony, vlnovody

80. Načrtněte postup výroby jednoduchého MEMS nosníku (PolySi nosník na křemíku).



81. Co je objemové leptání v MEMS technologiích?

Odleptání materiálu i pod součástkou (leptání koleček)

82. Jak fungují MEMS akcelerometr

Fungují na kapacitním principu, 2 hřebeny v sobě – podle vychýlení plošek se určí akcelerace

83. Jak funguje MEMS gyroskop?

Tak to jsem nějak nepochopil

84. Jaké znáte optické MEMS

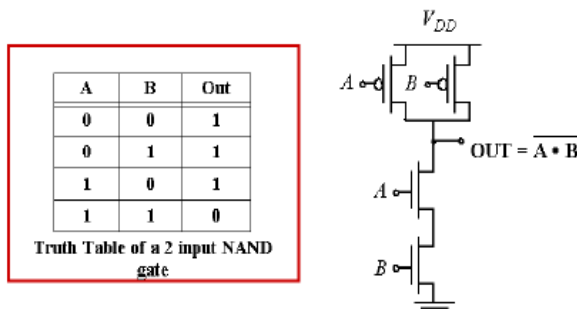
Mikromechanické zrcátko

85. Popište postup návrhu a simulací MEMS struktur

Příprava – příprava geometrického modelu, určí se materiálové konstanty, tvorba diskretizační sítě, zadání parametrů simulace

Zpracování – vlastní výpočet, definují se okrajové podmínky a parametry simulace

86. Nakreslete schéma zapojení dvoustupňového hradla NAND v CMOS technologii.

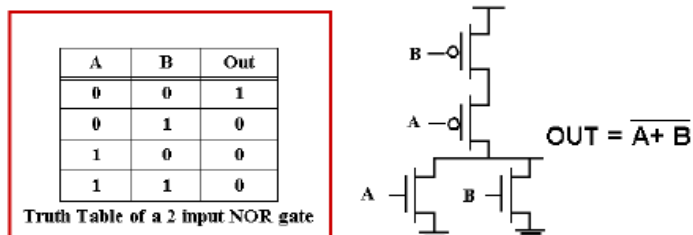


PDN: $G = A \cdot B \Rightarrow$ Conduction to GND

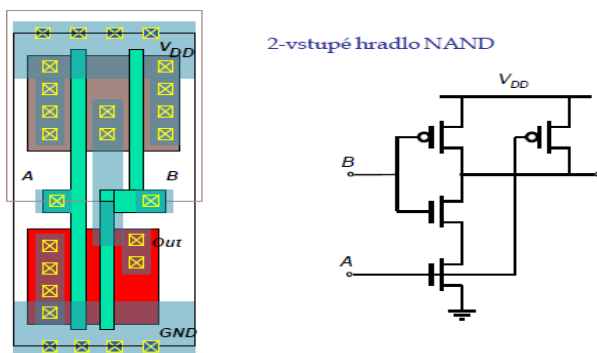
PUN: $F = \overline{A + B} = \overline{A} \cdot \overline{B} \Rightarrow$ Conduction to V_{DD}

$$\overline{G(In_1, In_2, In_3, \dots)} = F(\overline{In_1}, \overline{In_2}, \overline{In_3}, \dots)$$

87. Nakreslete schéma zapojení dvoustupňového hradla NOR v CMOS technologii.



88. Nakreslete layout dvoustupňového hradla NAND v CMOS technologii.



89. Nakreslete layout dvoustupňového hradla NOR v CMOS technologii.

90. Jak se postupuje při výrobě masek pro optickou litografii?

91. Co je OPC (Optical Proximity Correction), proč je nutná v submikronových technologiích?

92. Charakterizujte tenkovrstvou technologii integrované optiky.
93. Charakterizujte tlustovrstvou technologii integrované optiky.
94. Co je elektrooptický jev, jak ho můžeme využít?
95. Charakterizujte optický přenosový systém WDM, jaké má výhody, jaké nevýhody?
96. Charakterizujte optický přenosový systém OTDM, jaké má výhody, jaké nevýhody?
97. Charakterizujte laserové optické vysílače pro WDM
98. Jak pracují integrované optické zesilovače? Jaké druhy znáte?

Zdroje:

http://www.kme.elf.stuba.sk/kme/buxus/docs/predmety/Mikroelektronika/07_Lept.pdf

http://www.aktualinfofrbaud.estranky.cz/clanky/euv-fotolitografie/new-technology-in-production-of-processors---euv-litography-_extreme-ultraviolet-__nova-technologie-vyroby-procesoru---euv-lit

http://www.svethardware.cz/art_doc-C5CBCAD93DA582A7C12573B3000F5E4F.html

http://www.umel.feec.vutbr.cz/~bajer/Beso/Bip_vyroba_ONSemi.pps