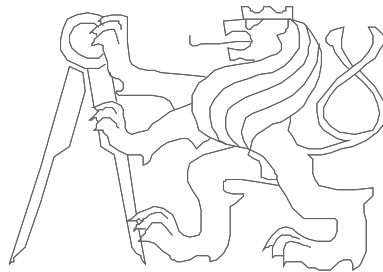


Pokročilé architektury počítačů

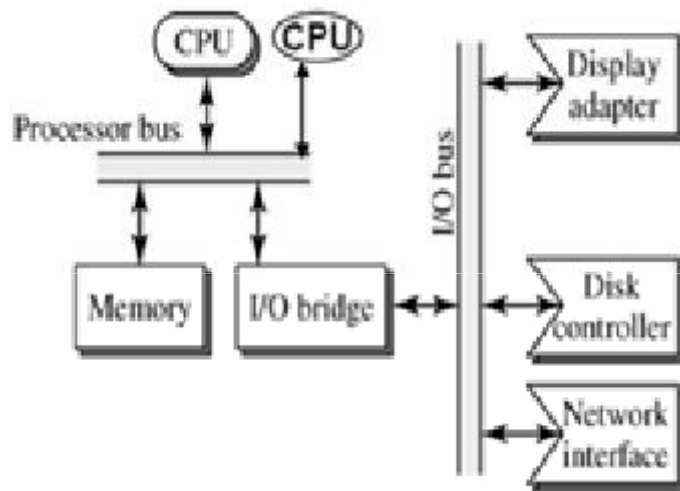
Architektura paměťového a periferního podsystemu



České vysoké učení technické, Fakulta elektrotechnická

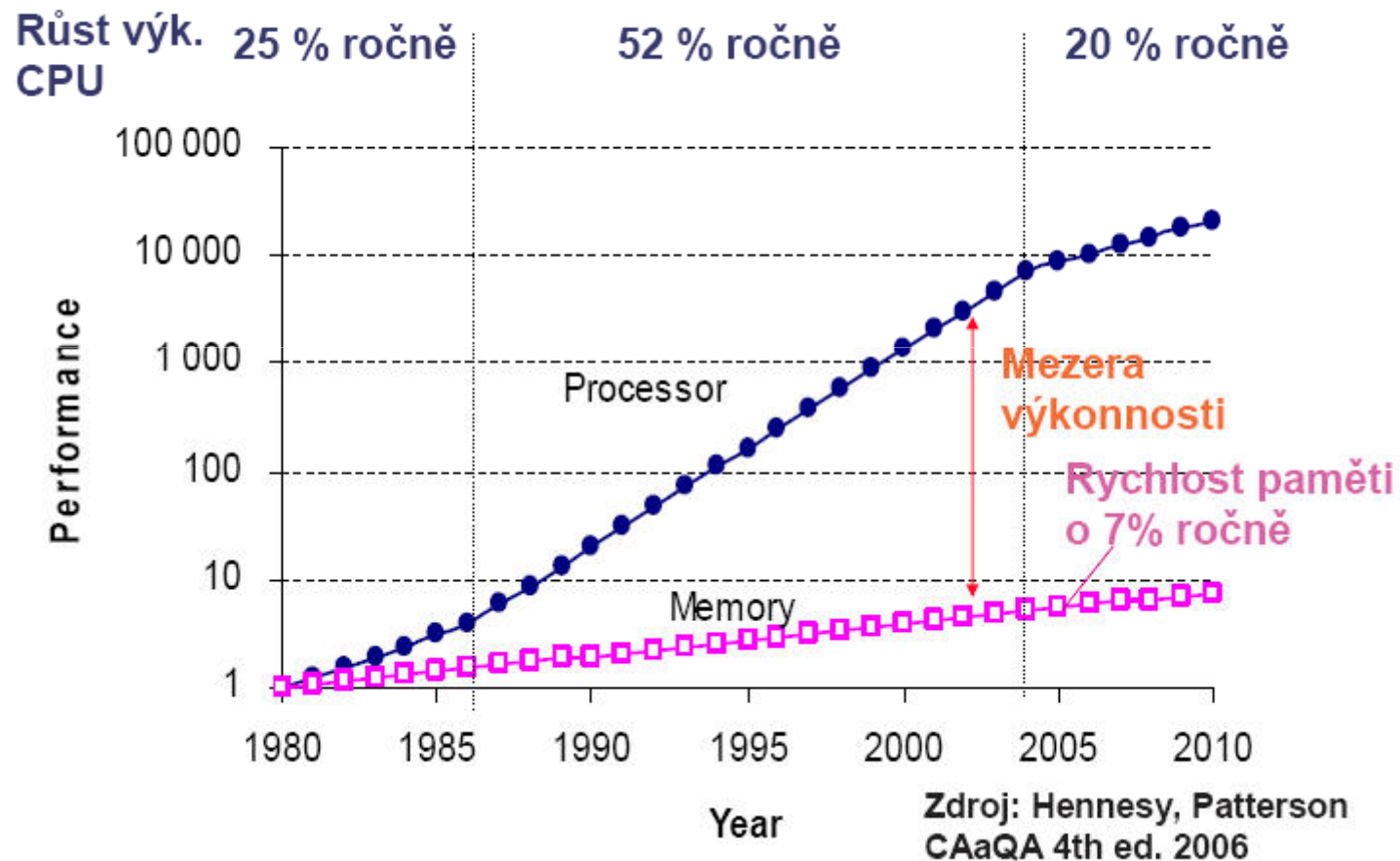
Motivace

- Architektura
- Paměťový podsystem
- I/O podsystem



Disproporce ve výkonu proc-pam, Moorův zákon

Mezera výkonnosti procesor-paměť



Srovnání paměťových technologií

Static RAM (SRAM)

- 0.5ns – 2.5ns, \$2000 – \$5000 per GB

Dynamic RAM (DRAM)

- 50ns – 70ns, \$20 – \$75 per GB

Magnetic disk

- 5ms – 20ms, \$0.20 – \$2 per GB

Převzato z:



Paměťová hierarchie – základní principy

- Programy/procesy přistupují v daném okamžiku jen k malé části svého adresového prostoru
- Časová lokalita
 - Položky, ke kterým se přistupovalo nedávno, budou zapotřebí brzy znovu.
 - Příklad: programová smyčka, proměnné instrukcí.
- Prostorová lokalita
 - Položky poblíž nedávno používaným budou brzy zapotřebí také.
 - Příklad: sekvenční přístup ike kódu, datová pole.

Co z uvedeného plyne?

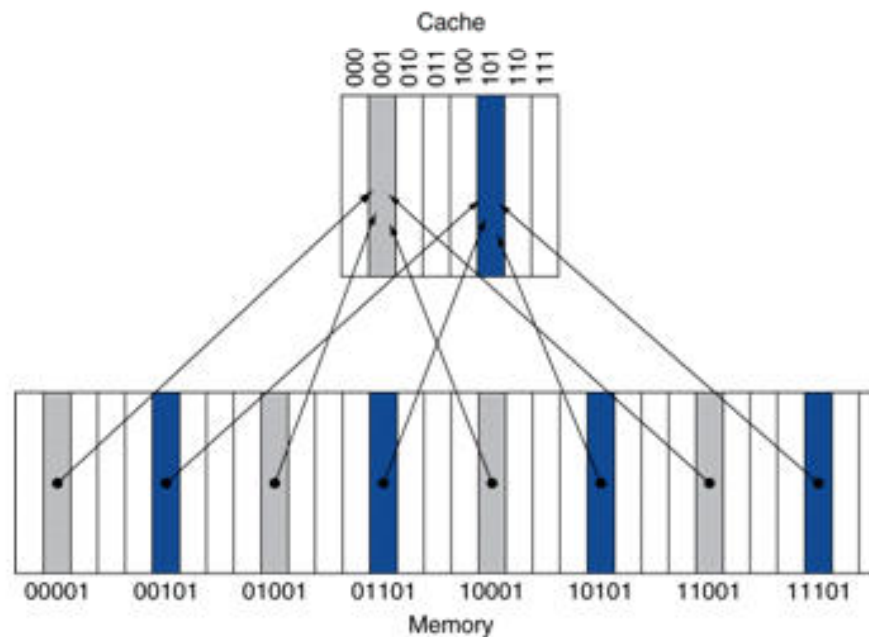
- Je výhodné uspořádat paměťový prostor hierarchicky – paměťová hierarchie.
- Všechny potřebné informace uchovávejte v sekundární paměti.
- Položky nedávno používané a blízké zkopírujte do (menší) paměti implementované DRAM.
 - Operační paměť.
- Položky ještě častěji používané (i ty jim blízké) zkopírujte do menší a rychlejší SRAM.
 - Skrytá paměť.

Jak a kde pak ale hledanou informaci najdeme?

- Podle adresy a informace o platnosti.
- Hledat začneme v paměti nejvyšší hierarchické úrovni (nejblíže procesoru).
- Požadavky:
 - Paměťová konzistence.
- Prostředky:
 - Virtualizace adresy,
 - Mechanizmy uvolňování místa a migrace informace mezi paměťovými úrovněmi.
 - Hit, miss.

Poznámka

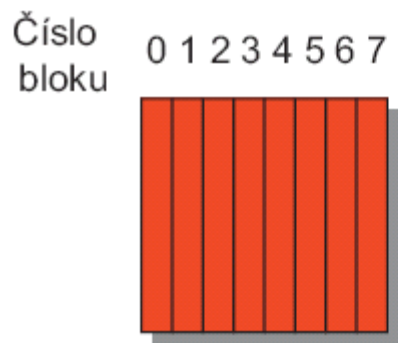
- Každou paměť v hierarchii výše můžeme považovat za skrytou paměť nižší hierarchické úrovně.
- Přímě mapovaná skrytá paměť



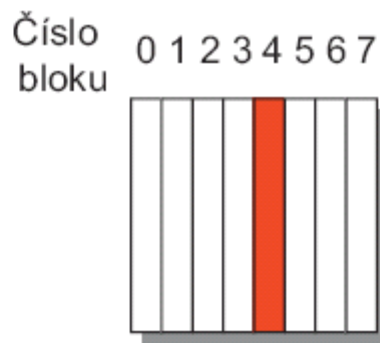
Jen připomenutí: např. podle R.Lórenc, X36APS

- Mějme 8-mi blokovou skrytou paměť. Kam se do ní umístí blok 12 v případě
 - Plně asociativní.
 - Přímě mapované, nebo
 - S omezeným stupněm asociativity $N=2$ (2-cestná, 2-way cache)?

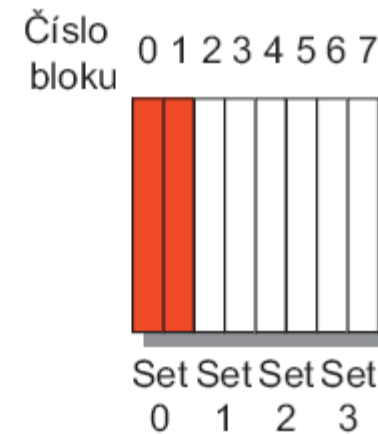
Plně asociativní:
blok 12 umístěn
kdekoliv



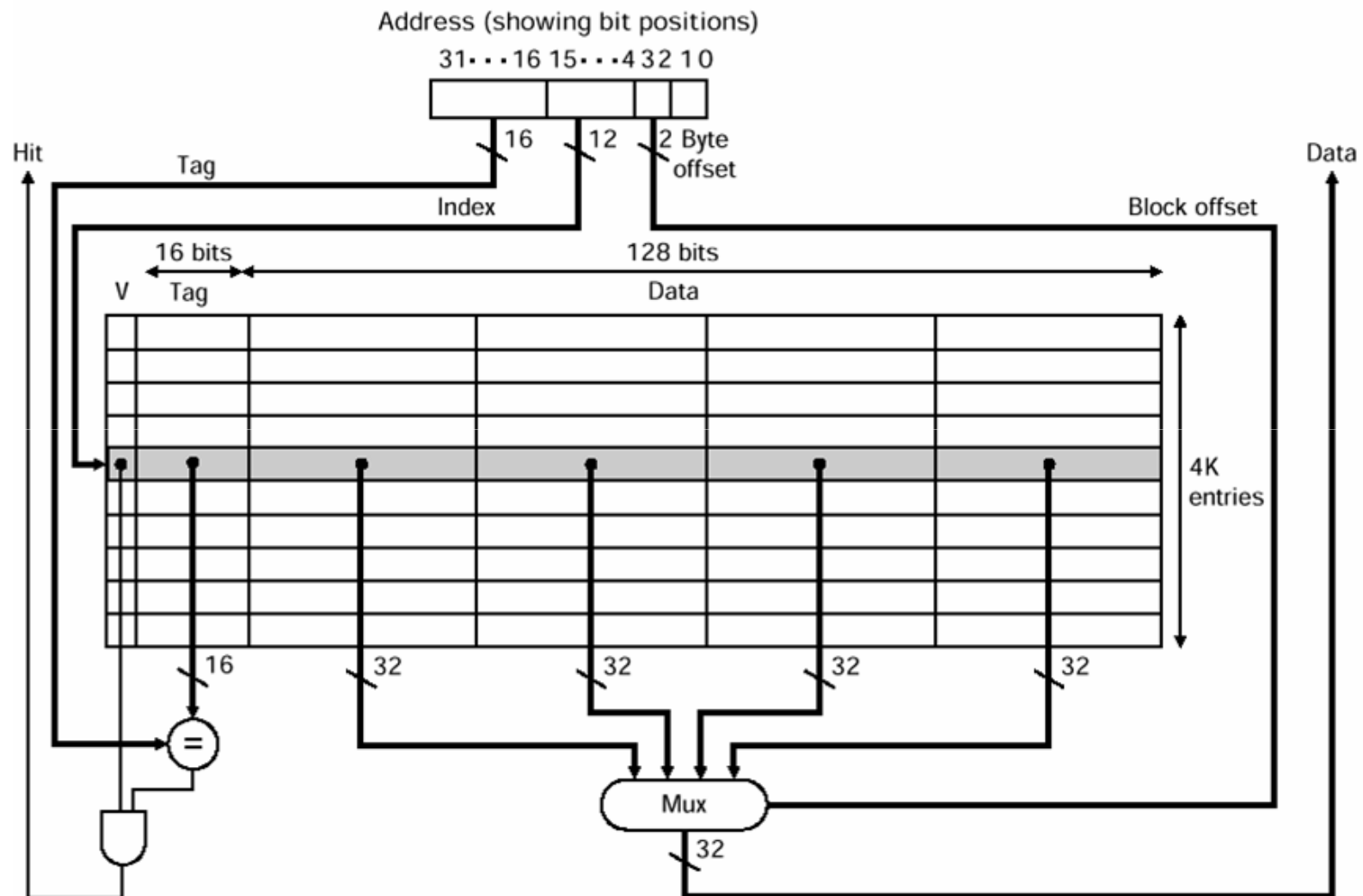
Přímě mapovaná:
blok 12 umístěn jen
do bloku 4 ($12 \bmod 8$)



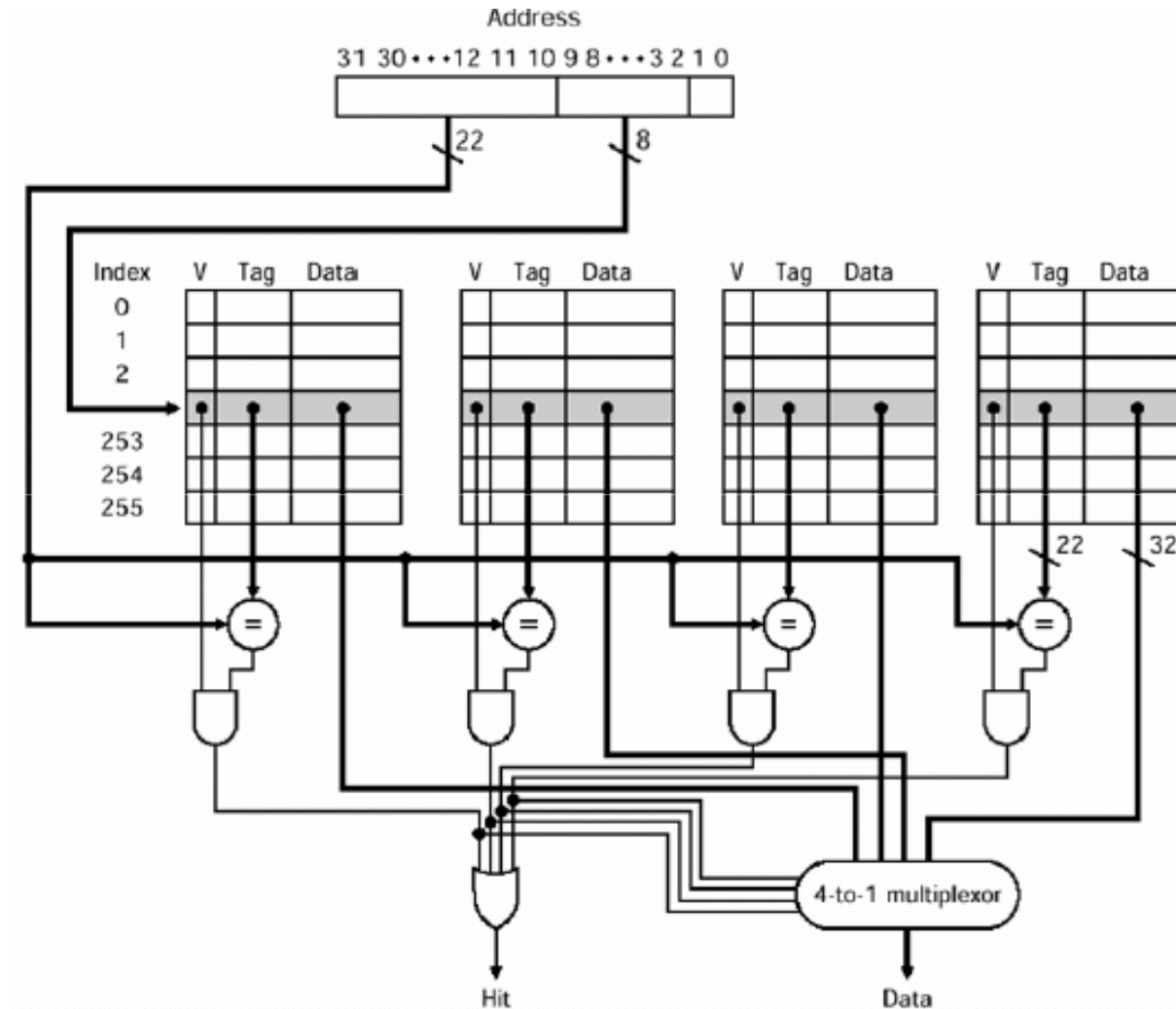
Omezený stupeň:
blok 12 umístěn
do setu 0 ($12 \bmod 4$)



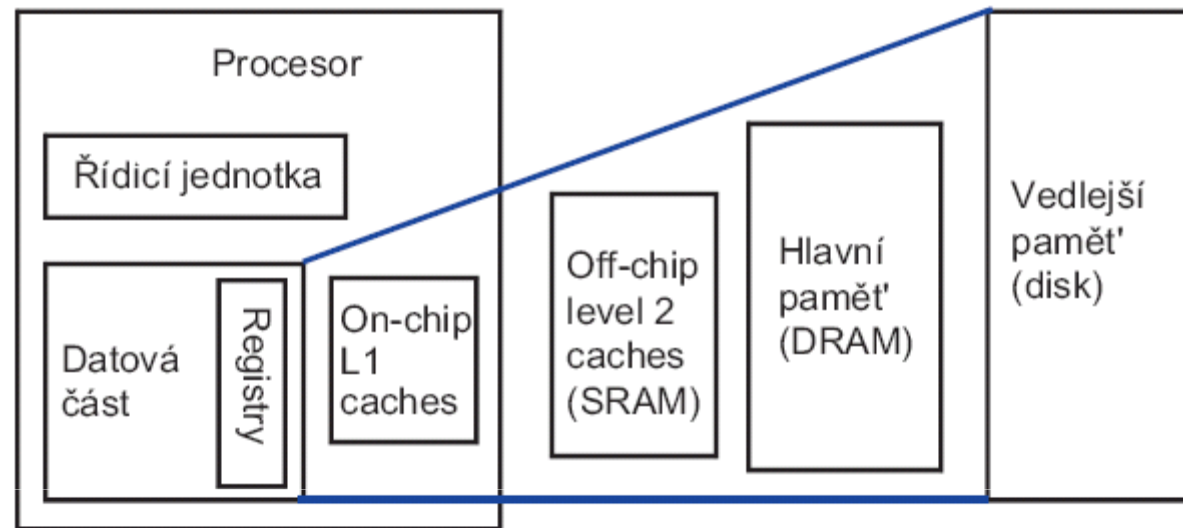
Přímo mapovaná skrytá paměť podrobněji



SP s omezeným stupněm asociativity N=4 podrobněji

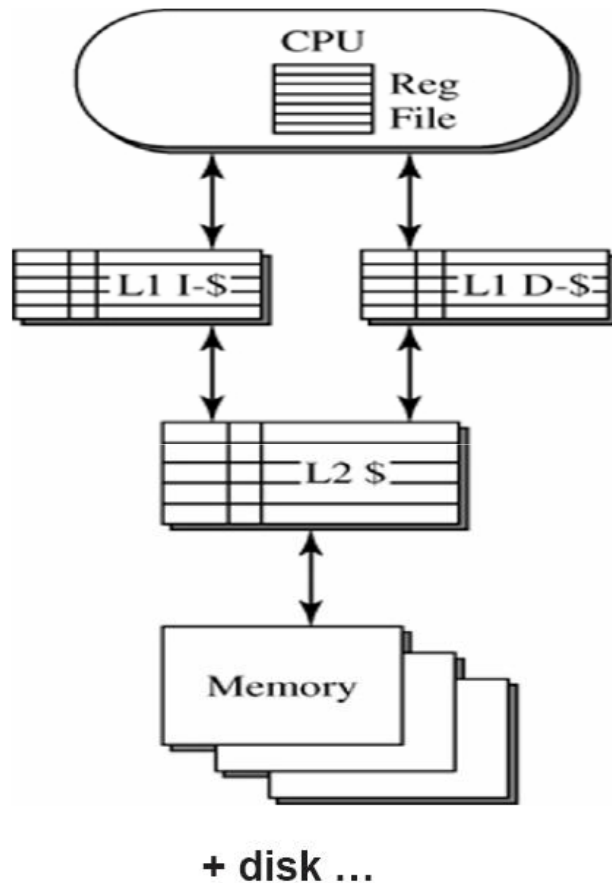


Paměťová hierarchie



- Různá hlediska posuzování:
 - Rychlost,
 - Velikost,
 - Cena/kapacita,
 - Úroveň.

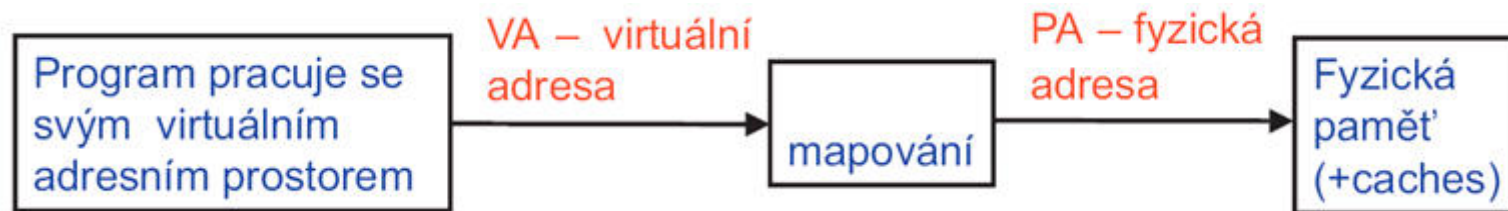
Paměťová hierarchie konkrétně



- 256 B – 1KB typická kapacita
- 8K-128KB kapacita, latence < 1ns
- 128 KB - 16 MB, ~10 ns latence (typicky)
- 128 MB – 100+ GB, ~100 ns latence (typicky)

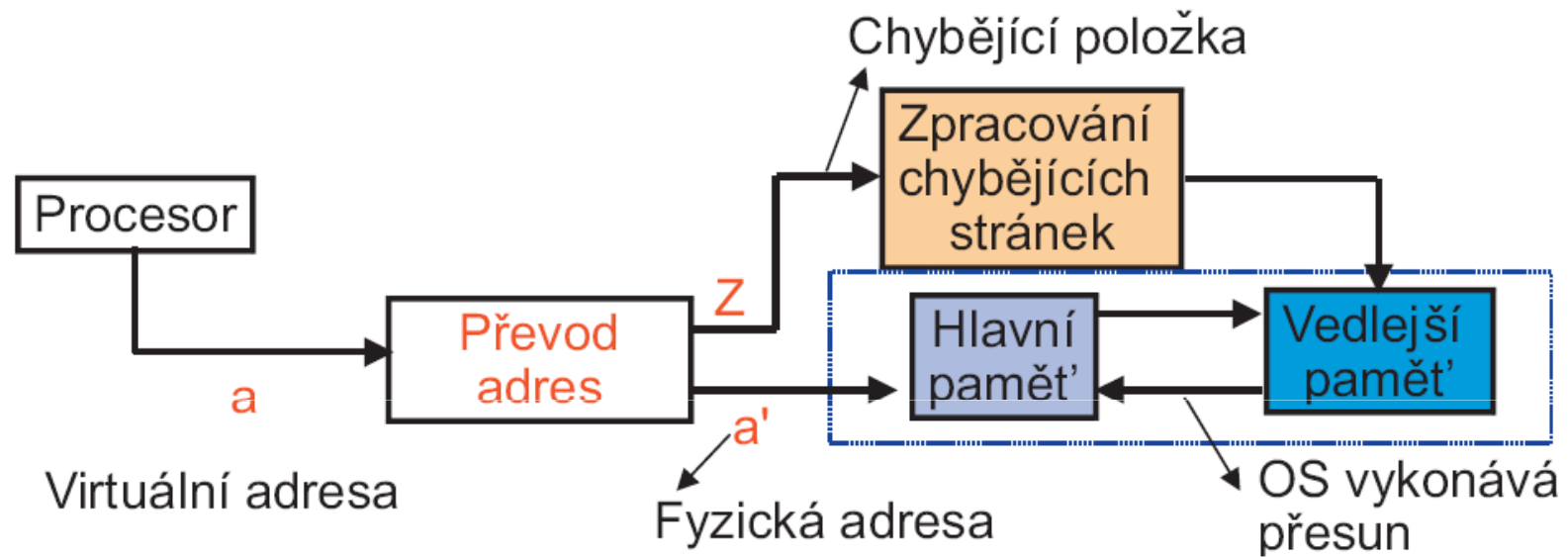
Virtualizace paměti

- **VP** je způsob správy operační paměti umožňující běžícímu procesu zpřístupnění paměťového prostoru, který je uspořádán jinak, nebo je dokonce větší, než je fyzicky připojená operační paměť.
- Převod mezi virtuální **VA** a fyzickou **PA** adresou může podporovat procesor (HW mapováním TLB, viz dále).
- V současně běžných operačních systémech je virtuální paměť implementována pomocí stránkování paměti spolu se stránkováním na disk, které rozšiřuje operační paměť o prostor na disku.



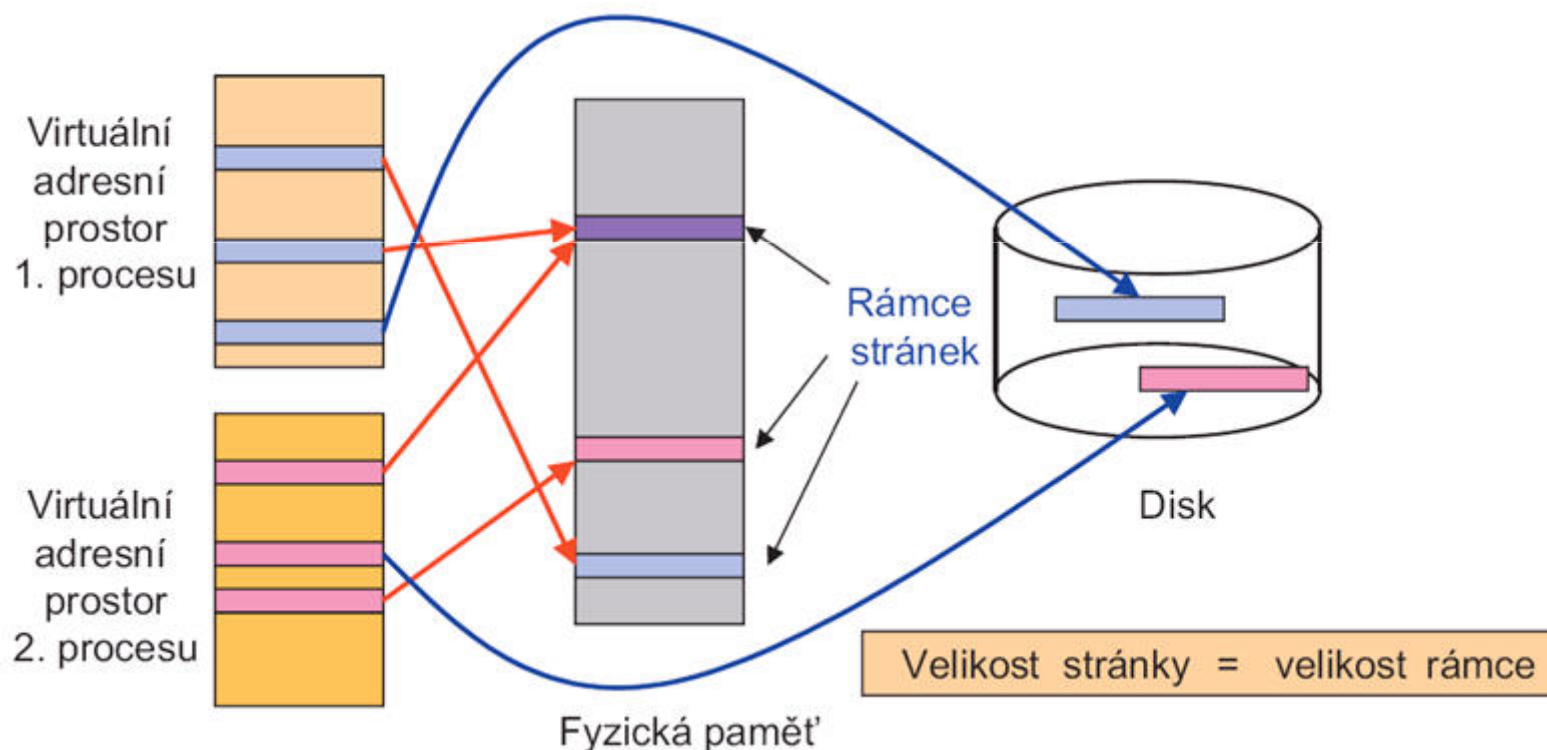
* R. Lórenc, X36APS, 2005

Virtuální paměť: spolupráce HW a SW



Virtuální paměť - stránkování

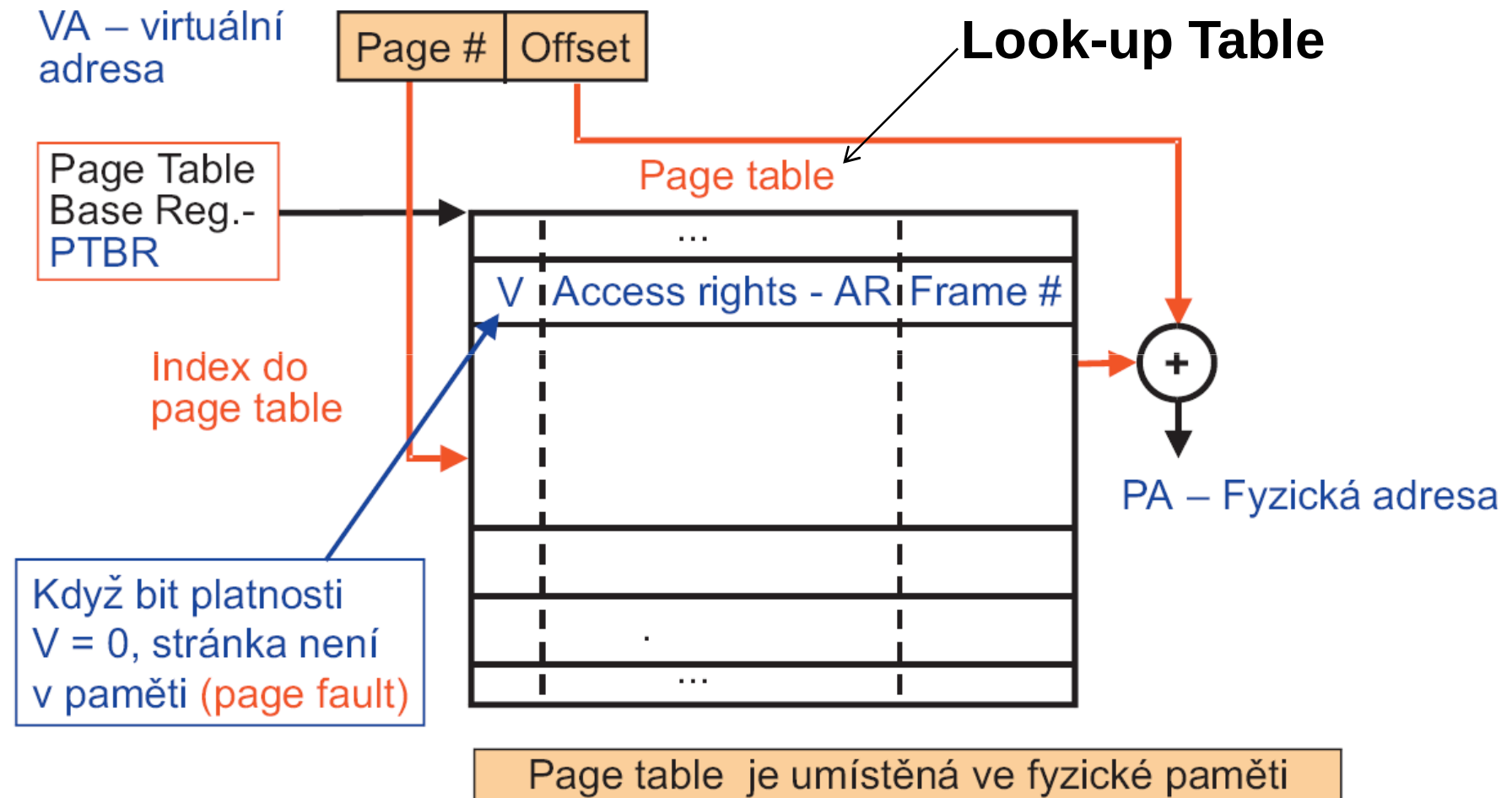
- Virtuální prostor tvoří stejně velké stránky (pages), které se přiřazují jednotlivým běžícím procesům.
- Fyzickou paměť tvoří stejně velké rámce (frames).



Realizace převodu adres?

- Tabulka stránek, Page Table.
- Jednotkou mapování jsou stránky,
- Stránka je také jednotkou přenosu mezi vedlejší a hlavní pamětí.
- Mapovací funkce se nejčastěji implementuje Look-up Table (vyhledávací tabulkou).
- Příklad:

Tabulka stránek – význam položek



Poznámky

- Každý proces má svou Tabulku stránek,
- Tedy i svou hodnotu PTBR (bázového registru).
- To, mimochodem, zajišťuje paměťovou bezpečnost procesů.
- Formát položky Tabulky stránek
 - V – Validity Bit. V=0 Stránka není platná.
 - AR – Access Rights. Přístupová práva (Read Only, Read/Write, Executable, apod.),
 - Frame# - číslo rámce.

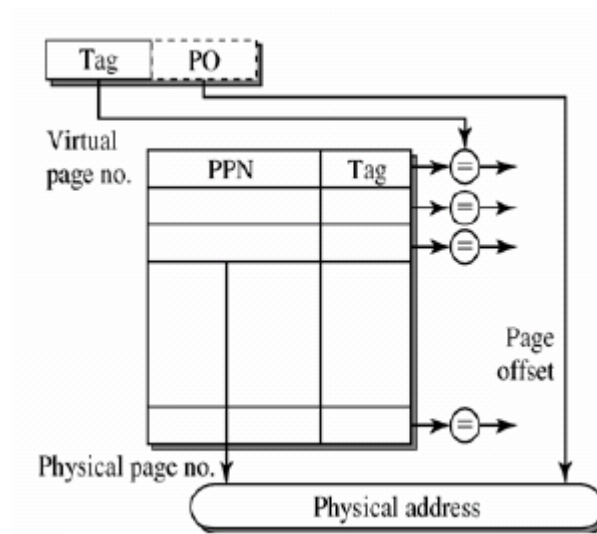
V	AR	Frame#
---	----	--------

Co dělat, když je výpadek stránky – Page Fault?

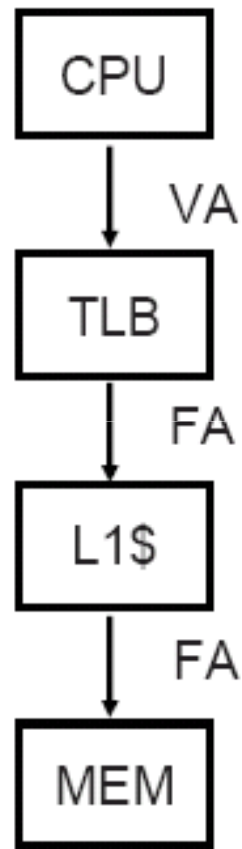
- Fyzická paměť je volná, ale
 - Rámec je prázdný, data jsou na disku.
 - Požadovaná stránka se DMA načítá do prázdného rámce. Přepne se na případně čekající proces, který může probíhat.
 - Po dokončení DMA přenosu přerušení, aktualizuje se Tabulka stránek procesu.
 - Přepne se zpět na původní proces.
- Paměti je nedostatek
 - Pomocí LRU najdeme rámec, který můžeme uvolnit.
 - Má-li nastaven Dirty Bit, zapíšeme stránku do vedlejší paměti.
 - Aktualizuje se Tabulka stránek procesu.

TLB – Translation Lookaside Buffer

- Jde Paměť stránek udělat i jinak?
- Ano, skrytou pamětí.
- Plně asociativní TLB, reálné pro 256-512 položek).

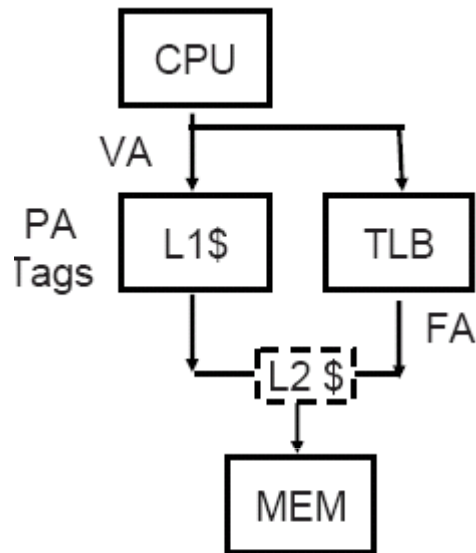


Jak to potom vypadá?

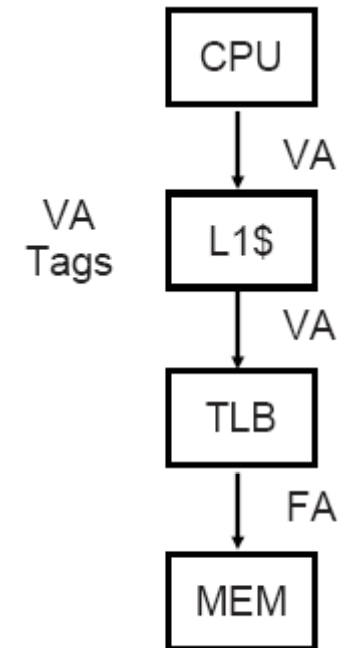


- Běžná a bezpečná organizace hierarchie pamětí.
- Pozor: Namísto PA teď píšeme FA.
- Nevýhoda sekvenčního překladu pomocí TLB a následného čtení – dlouhý Hit Time.
- Jsou možná i jiná uspořádání...

Jiná uspořádání hierarchie s TLB



nebo



Pozor! Tady může dojít k přístupu jiných procesů do jiných bloků fyzické paměti. I tady se tomu říká Aliasing.

Srovnání, nenechte se zmást

Virtuální paměť	Skrytá paměť
Stránka	Blok/řádek
Page Fault	Read/Write Miss
Velikost stránky: 512 B – 8 KB	Velikost bloku: 8 – 128 B
Asociativní	DM, N-cestná, asociativní
Výběr oběti: LRU	LRU/Náhodný
Write Back	Write Thru/Write Back

- Rozumíte pojmům?
 - Co je oběť
- Závěr: každé adjektivum popisuje o něco jiného...

Výkon paměťového podsystemu

Opakování terminologie

- Vybavovací doba paměti
- Doba přístupu
- Propustnost
- Latence

Výpočet výkonnosti paměťového pod systému



- Hit: zásah. Data jsme našli v příslušném bloku paměti (tady blok X).
 - Hit Time (**HT**) = vybavovací doba paměti příslušné úrovně. Zahrnuje samotný vybavovací čas pamětí vyšší úrovně + čas na určení Hit/Miss.
 - Hit Rate (**HR**) = četnost zásahu P podíl úspěšných k celkovému počtu přístupů.
- Miss: výpadek. Požadovaná data nebyla nalezena v dané úrovni paměti (blok X), ale až v nižší úrovni (blok Y), $X \notin Y$. Procesor čekal.
 - Miss Rate (**MR**) = $1 - HR$. Jinak též koeficient výpadku.
 - Miss Penalty (**MP**) = čas na získání dat z nižší úrovně paměti (blok Y) + čas na přenos dat do vyšší úrovně (blok X) + čas na doručení dat do procesoru.
- **AMAT** = $HT + MR * MP$
 - **AMAT** (Memory Access Time). Střední přístupová doba do paměti.
- $HT \ll MP$.

Vliv paměťového podsystemu na dobu výpočtu

$$T_{cpu} = IC * (CPI_{int} + CPI_{mem}) * T_{clk} = IC * (CPI_{int} + MAPI * MR * MP) * T_{clk}$$

MAPI ... Memory Access Per Instruction

C ... Miss Per Instruction $MPI = MAPI * MR = \text{Memory Accesses} * MR/IC$

$$T_{cpu} = IC * (CPI_{int} + MPI * MP) * T_{clk}$$

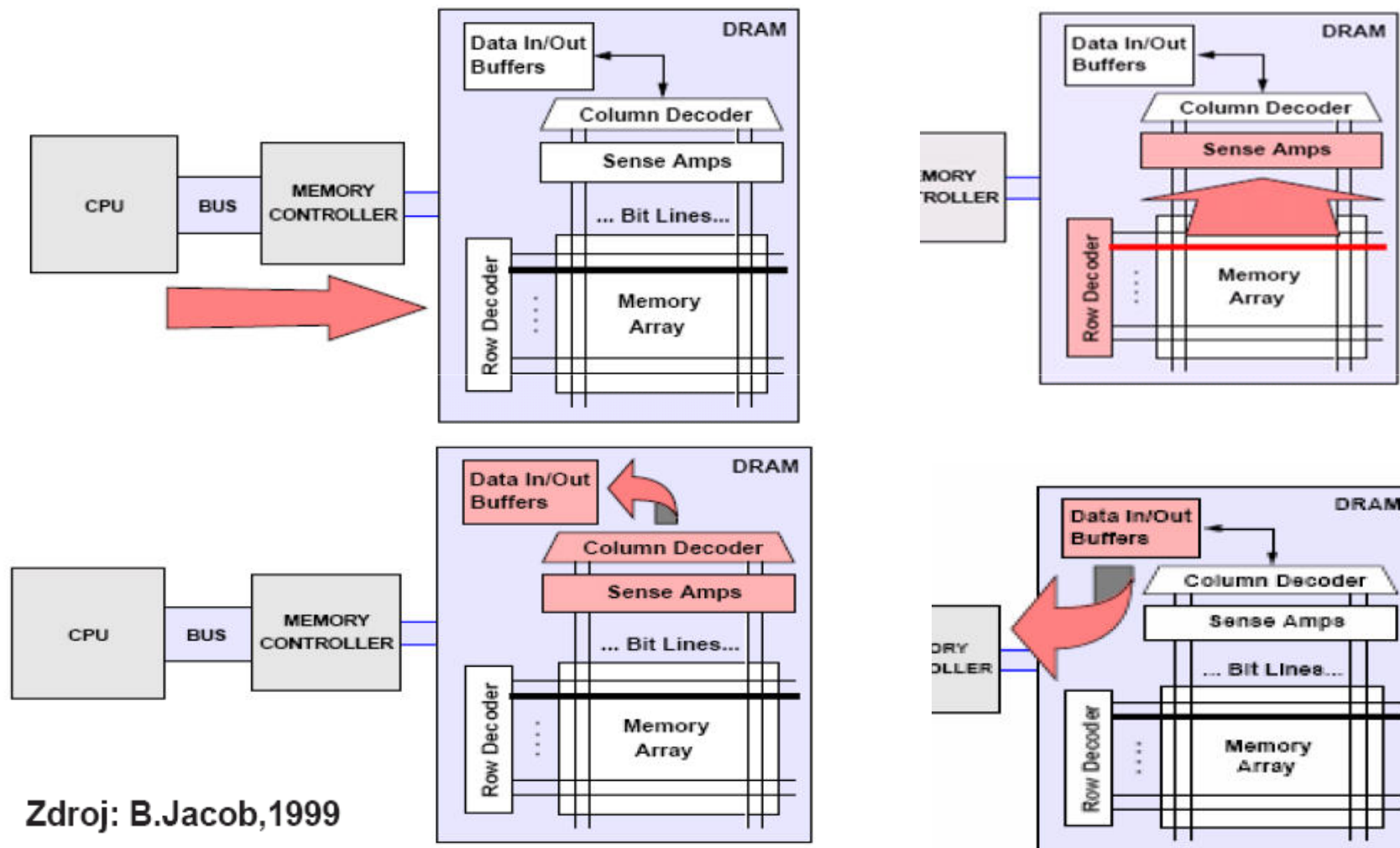
Konkrétní příklad: Celeron

Čtení/zápis z/do	Počet taktů procesoru, které jsou zapotřebí
Registr procesoru	1 či méně. To v případě úspěšného zřetězení instrukcí
Skrytá paměť L1	cca 3
Skrytá paměť L2	cca 14
Operační paměť	cca 240

Zdroj: <http://www.root.cz/clanky/architektury-vyrovnavacich-pameti/>

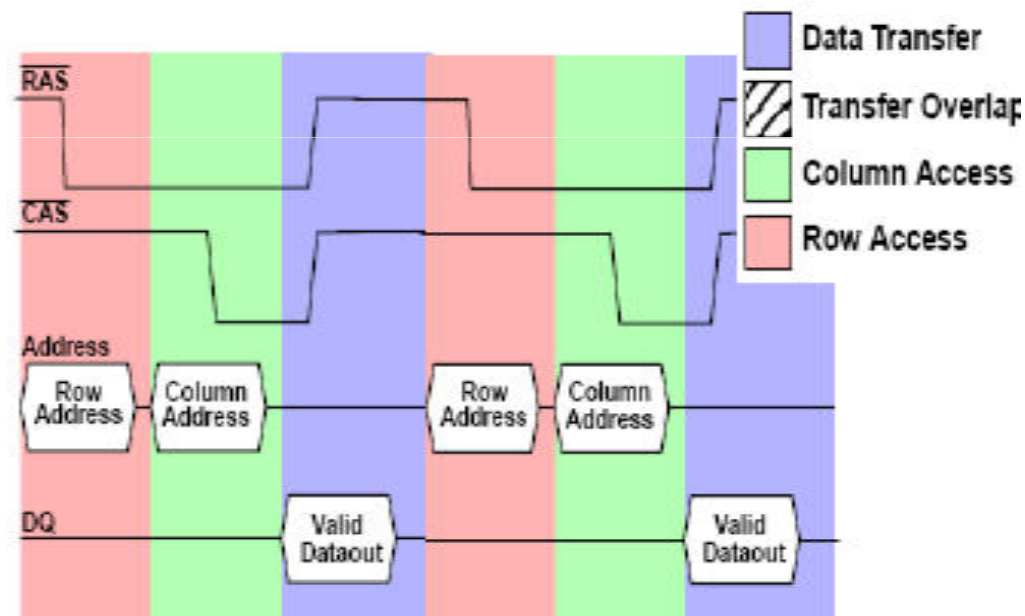
Paměťové čipy

Fáze přístupu k datům v DRAM čipu



Klasická DRAM – asynchronní rozhraní

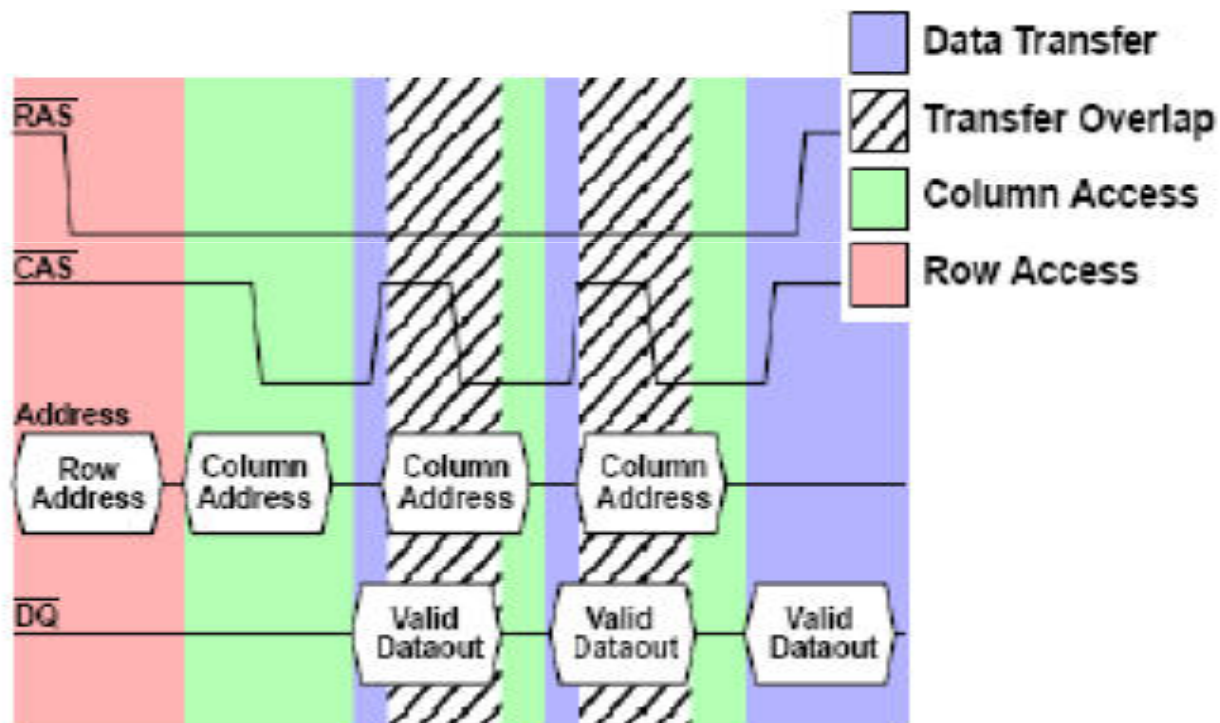
- Důvod rozdělení adresy na 2 části byl dán malým počtem pinů původních DRAM pouzder.
- Toto rozdělení se dodnes zachovává, ačkoli pouzdro už není problém.



RAS – Row Address Strobe,
CAS – Column Address Strobe

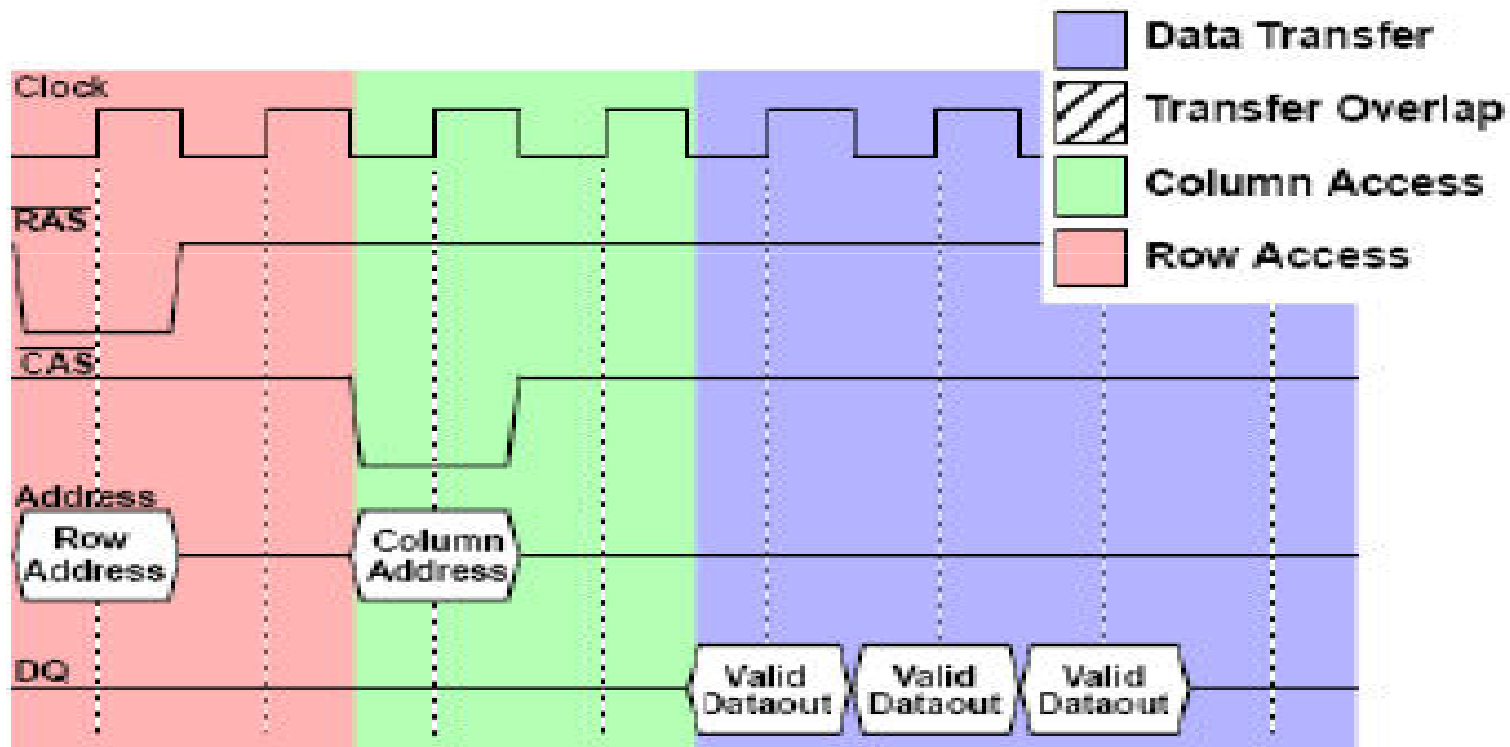
EDO DRAM – cca 1995

- EDO DRAM má registr na výstupu, což umožní překrýt následující CAS s čtením předchozích dat.



SDRAM – konec 90.let – časování čtení synchronních DRAM

- SDRAM čip obsahuje čítač, který umožňuje nastavit délku souvislého (burst) čtení dat.



SDRAM – paměť současnosti

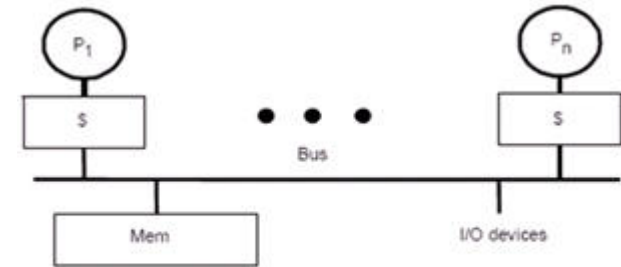
- **SDRAM** – frekvence až 100 MHz, 2.5V.
- **DDR** SDRAM – použití obou hran CLK při přenosu dat, 2.5V.
- **DDR2** SDRAM – snížení spotřeby použitím napětí 1.8V, frekvence až 400 MHz.
- **DDR3** SDRAM – snížení spotřeby použitím napětí 1.5V, frekvence až 800 MHz.
- **DDR4** SDRAM ...
- Dále ještě existují paměti a moduly **RAMBUS**, které ovšem mají zcela odlišné rozhraní i způsob použití.
- **Všechny tyto inovace vylepšují propustnost čtení dat, nikoli latenci čtení první položky.**

Architektura

Co je úkolem?

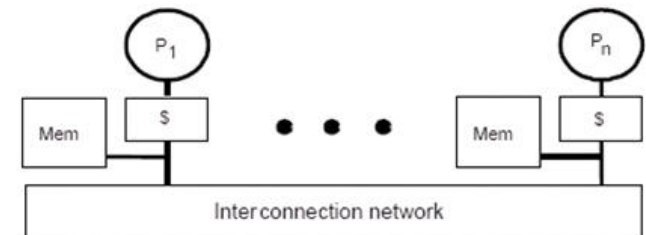
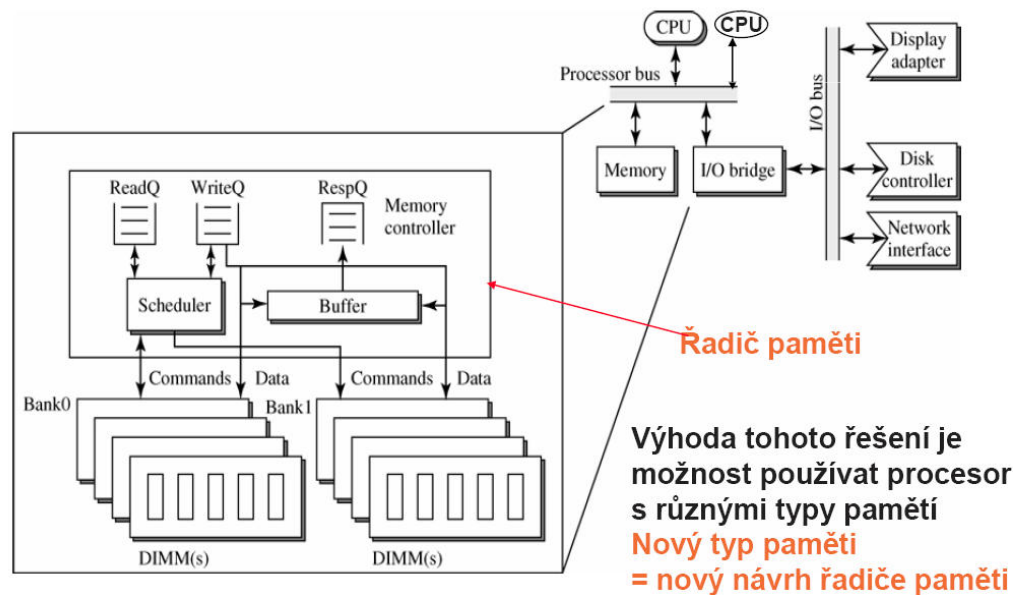
- Propojit jednotlivé části výpočetního systému
- Možnosti?
- Optimální datové cesty
- S ohledem na závislost cena/výkon existuje hranice výkonnosti
- datové cesty je možné sdílet
- Datové cesty je výhodné sdílet

Obecně architektura počítače



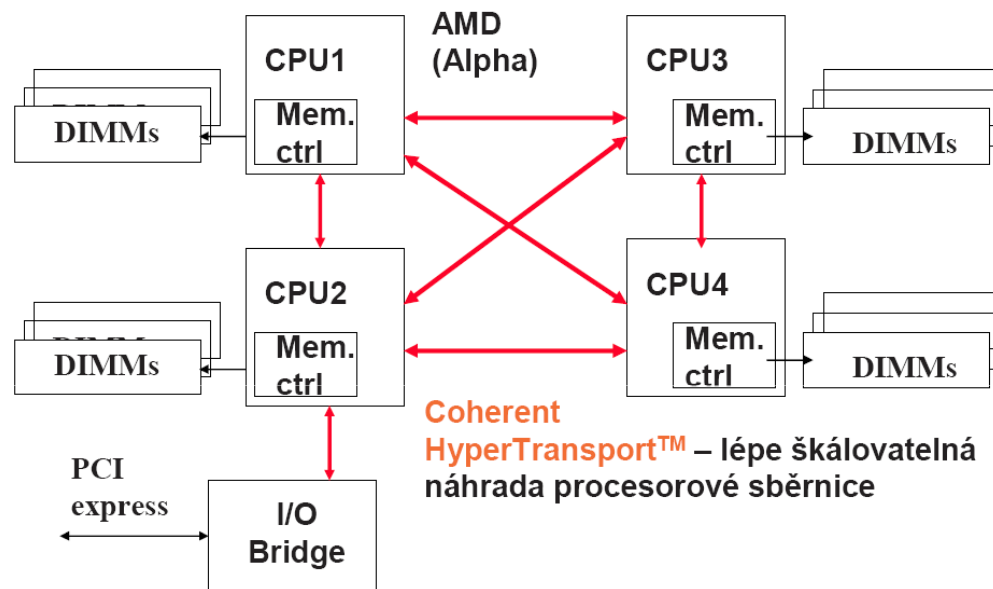
tradiční SMP

Organizace hlavní paměti – tradiční schema (Intel a další)



NUMA

Alternativní organizace – integrace paměť. řadiče do CPU



- ° Lepší škálovatelnost systému, ale novější paměťový modul znamená novou verzi procesoru neboť paměťový řadič je integrován.

Pokročilé Architektury Počítačů

Příklad I.

Paměťově centrická architektura

